

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001037

International filing date: 20 January 2005 (20.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-015449  
Filing date: 23 January 2004 (23.01.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

PCT/JP2005/001037

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

20.01.2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2004年 1月23日

出 願 番 号  
Application Number: 特願2004-015449  
[ST. 10/C]: [JP2004-015449]

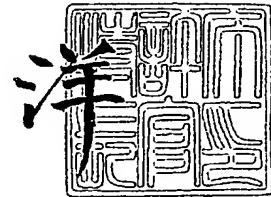
出 願 人  
Applicant(s): 株式会社半導体エネルギー研究所



2005年 2月25日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



出証番号 出証特2005-3015072

【書類名】 特許願  
【整理番号】 P007685  
【提出日】 平成16年 1月23日  
【あて先】 特許庁長官 殿  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 荒井 康行  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 秋葉 麻衣  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 館村 祐子  
【発明者】  
    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内  
    【氏名】 神野 洋平  
【特許出願人】  
    【識別番号】 000153878  
    【氏名又は名称】 株式会社半導体エネルギー研究所  
    【代表者】 山崎 舜平  
【手数料の表示】  
    【予納台帳番号】 002543  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

## 【書類名】特許請求の範囲

## 【請求項 1】

アンテナが形成されたラベル基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、  
接着剤層と、  
セパレータを有することを特徴とする ID ラベル。

## 【請求項 2】

ラベル基体と、  
アンテナが形成された内部基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、  
接着剤層と、  
セパレータを有することを特徴とする ID ラベル。

## 【請求項 3】

請求項 1 又は 2 において、  
前記アンテナと前記薄膜集積回路装置とは、交差配線を介して接続されていることを特徴とする ID ラベル。

## 【請求項 4】

請求項 1 乃至 3 のいずれか一項において、  
前記薄膜集積回路装置の上方及び下方の少なくとも一方には、酸化珪素、窒化珪素又は酸窒化珪素を含む単層又は積層からなる保護層が形成されていることを特徴とする ID ラベル。

## 【請求項 5】

請求項 4 において、  
前記保護層が、薄膜集積回路装置の上方及び下方に形成された場合、  
前記薄膜集積回路装置及び前記上下の保護層全体の膜厚を  $d$  として、前記薄膜集積回路装置は、 $d/2 \pm 3.0 \mu\text{m}$  以内の位置に設けられていることを特徴とする ID ラベル。

## 【請求項 6】

請求項 1 乃至 5 のいずれか一項において、  
前記薄膜集積回路装置に含まれる前記薄膜トランジスタの半導体膜中には、0.0005～5 原子%の水素又はハロゲンが含まれていることを特徴とする ID ラベル。

## 【請求項 7】

請求項 1 乃至 6 のいずれか一項において、  
前記薄膜集積回路装置のサイズは、 $0.09 \text{ m}^2 \sim 25 \text{ m}^2$ であることを特徴とする ID ラベル。

## 【請求項 8】

請求項 1 乃至 7 のいずれか一項において、  
前記薄膜集積回路装置の厚さは、 $0.1 \mu\text{m} \sim 3 \mu\text{m}$ であることを特徴とする ID ラベル。

## 【請求項 9】

アンテナが形成されたカード基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、  
前記カード基体のうち、少なくともアンテナ及び薄膜集積回路装置が形成された側を覆うカバーを有することを特徴とする ID カード。

## 【請求項 10】

アンテナが形成された内部基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、  
前記基体の周囲を覆うカバーを有することを特徴とする ID カード。

## 【請求項 11】

請求項 9 又は 10 において、  
前記アンテナと前記薄膜集積回路装置とは、交差配線を介して接続されていることを特

徴とする ID カード。

【請求項 12】

請求項 9 乃至 11 のいずれか一項において、  
前記カバーは、ラミネート法によって作製された樹脂からなることを特徴とする ID カード。

【請求項 13】

請求項 9 乃至 12 のいずれか一項において、  
前記薄膜集積回路装置の上方及び下方の少なくとも一方には、酸化珪素、窒化珪素又は酸窒化珪素を含む単層又は積層からなる保護層が形成されていることを特徴とする ID カード。

【請求項 14】

アンテナが形成された基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、

前記基体のうち、少なくともアンテナ及び薄膜集積回路装置が形成された側を覆うカバーを有することを特徴とする ID タグ。

【請求項 15】

アンテナが形成された内部基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、

前記内部基体の周囲を覆うカバーを有することを特徴とする ID タグ。

【請求項 16】

請求項 14 又は 15 において、

前記アンテナと前記薄膜集積回路装置とは、交差配線を介して接続されていることを特徴とする ID タグ。

【請求項 17】

請求項 14 乃至 16 のいずれか一項において、

前記カバーは、ラミネート法によって作製された樹脂からなることを特徴とする ID タグ。

【請求項 18】

請求項 14 乃至 17 のいずれか一項において、

前記薄膜集積回路装置の上方及び下方の少なくとも一方には、酸化珪素、窒化珪素又は酸窒化珪素を含む単層又は積層からなる保護層が形成されていることを特徴とする ID タグ。

## 【書類名】明細書

【発明の名称】IDラベル、IDカード及びIDタグ

## 【技術分野】

## 【0001】

本発明は、メモリやマイクロプロセッサ（中央演算部、CPUやMPU）などを有し、非常に薄型の薄膜集積回路を搭載し、主に人間、動植物、商品等を識別するためのIDラベル、IDカード、IDタグに関する。

## 【背景技術】

## 【0002】

近年、食品業界、製造業界等のあらゆる産業界において、商品の安全性や管理体制の強化を求める声が高まっており、それに伴い商品に関する情報量が増加しつつある。しかし、現状の商品情報は、主にバーコードの十数桁の数字により提供される製造国、メーカー、商品番号等の情報程度であり、情報量が非常に少なかった。またバーコードを利用した場合、一つ一つを手作業で行うため読み取りに時間を要していた。そこで、バーコードシステムに代わり、RFID（Radio Frequency Identification）と呼ばれる、電磁波を利用した非接触ICタグによる自動認識技術が注目されている。

## 【0003】

また、動植物の安全性（例えば、原産地、伝染病の感染の有無等）を確保するために、動植物の体内に直接ICチップを埋め込み、体外の情報読み取り装置（リーダ）によって動植物に関する情報を取得、管理するという体制が普及しつつある。

## 【0004】

また、近年、一人当たりが携帯するカード数が増加しており、中でも電磁界を利用して通信を行う非接触型のICカードが、電子乗車券や電子マネーといった形態で普及しつつある。

## 【0005】

また、紙幣、硬貨、有価証券、チケット等の偽造や盗難が行われた際に、複製や悪用を防止するために、それらの内部にICチップを埋め込んでおくという技術が普及しつつある（以上、非特許文献1参照）。

## 【0006】

【非特許文献1】日経エレクトロニクス 日経BP社 2002.11.18発行  
p. 67-76

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0007】

しかしながら、非接触型や接触型のICチップが普及するにつれて、莫大な数の人間、動植物、商品、紙幣等に利用可能なICチップを、大量に極めて低コストで製造する必要がある。例えば、商品や紙幣等に付されるICチップは、1個当たり1円～数円、望ましくは1円を切るコストで製造する必要がある、低コストで大量生産が可能なICチップのごとき集積回路装置の構造、プロセスの実現が求められている。

## 【0008】

現状では、ICチップを製造するにあたり、シリコンウエハ上に複数の薄膜集積回路を形成し、該シリコンウエハを研磨除去（バックグラインドと呼ばれる。）することにより薄膜集積回路を分離する方法が用いられている。しかし、シリコンウエハは高価であるにも拘わらず、それをすべて研磨除去してしまうことから、製造コストの増加は回避できなかった。また、シリコンウエハからなる集積回路は厚いため、商品容器自体に搭載する場合、表面に凹凸が生じ、デザイン選択の幅に限界が生じていた。

## 【0009】

本発明は、このような状況に鑑みて成されたものであり、低コストで大量生産が可能で、かつ、従来のシリコンウエハと異なり、非常に膜厚の薄い集積回路装置（以後、薄膜集積回路装置という。）の構造、プロセス、及び該薄膜集積回路装置を用いたIDラベル、

ＩＤカード、ＩＤタグ、紙幣、硬貨等の各種物品の構造、プロセスを提供することを目的としている。

【課題を解決するための手段】

【0010】

(1) 本発明に係るＩＤラベルは、アンテナが形成されたラベル基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、接着剤層と、セパレータを有することを特徴としている。

【0011】

(2) 本発明に係るＩＤラベルは、ラベル基体と、アンテナが形成された内部基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、接着剤層と、セパレータを有することを特徴としている。

【0012】

(3) 本発明に係るＩＤカードは、アンテナが形成されたカード基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、前記カード基体のうち、少なくともアンテナ及び薄膜集積回路装置が形成された側を覆うカバーを有することを特徴としている。

【0013】

(4) 本発明に係るＩＤカードは、アンテナが形成された内部基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、前記基体の周囲を覆うカバーを有することを特徴としている。

【0014】

(5) 本発明に係るＩＤタグは、アンテナが形成された基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、前記基体のうち、少なくともアンテナ及び薄膜集積回路装置が形成された側を覆うカバーを有することを特徴としている。

【0015】

(6) 本発明に係るＩＤタグは、アンテナが形成された内部基体に接して設けられた、薄膜トランジスタを含む薄膜集積回路装置と、前記内部基体の周囲を覆うカバーを有することを特徴としている。

【0016】

上記発明に係るＩＤラベル、ＩＤカード、ＩＤタグが有する薄膜集積回路装置は、いずれも薄膜トランジスタ（ＴＦＴ）のごとき薄膜能動素子を含んでいることを特徴としている。例えば、ＴＦＴを用いて薄膜集積回路装置を作製する場合、ＴＦＴを被剥離基板に形成した後、被剥離基板を剥離し、素子分離を行うことにより、ＴＦＴからなる薄膜集積回路装置を安価で大量生産できるという特徴がある。なお、ここで言う剥離方法には、エッチング等によって剥離層を除去する化学的剥離と、外部から衝撃（ストレス）を与えることによって剥離層を分離する物理的剥離とに大別されるが、これらに限定されない。

【0017】

また、薄膜集積回路装置とは、従来のシリコンウエハ上に形成された「ＩＣ（Integrated Circuit; 集積回路）チップ」とは区別される概念であり、ＴＦＴ（Thin Film Transistor; 薄膜トランジスタ）に代表される薄膜能動素子と、該薄膜能動素子同士を接続する配線や、該薄膜能動素子と外部機構（例えば、非接触型ＩＤラベルであればアンテナ、接触型ＩＤラベルであれば接続端子）とを接続する配線等によって構成される集積回路装置を指す。勿論、薄膜集積回路装置の構成要素は、これに限定されるものではなく、少なくとも一のＴＦＴに代表される薄膜能動素子を含んでいれば、薄膜集積回路というものとする。

【0018】

なお、本発明に用いられる薄膜集積回路装置は、従来のＩＣチップと異なり、薄膜であることから、ＩＤＴチップ（Identification Thin Chip）等と呼ばれる。また、本発明に用いられる薄膜集積回路装置は、後述するように、原則としてシリコンウエハを用いず、ガラス基板や石英基板等の絶縁基板を用い、また、薄膜集積回路装置をフレキシブル基板に転写することも可能であることから、ＩＤＧチップ（Identification Glass Chip）、

IDFチップ (Identification Flexible Chip)、ソフトチップ (Soft Chip) 等とも呼ばれる。以下、薄膜集積回路装置の後に替えて、IDFチップ等と呼ぶことがある。

【0019】

ここで、IDラベル (Identification Label) とは、主に市場に流通する商品の識別や、それらに関する情報を記憶させる機能を有するものであり、IDシール、IDステッカー等とも呼ばれる。基本的に、IDラベルの一方の面は接着面となっており、商品等に任意に貼り付けることが可能であり、複数回再接着が可能な機能を有するものも含む。勿論、社会通念上、ラベル、シール、ステッカー、レッテル、標識等の部類に属するものであれば、これらに限定されるものではない。

【0020】

また、ラベル基体とは、実際に商品等に貼り付けられる部分を指し、その表面又は裏面或いはその両方にアンテナ及び薄膜集積回路装置が形成される。なお、該ラベル基体とは、単層構造であっても積層構造であってもよい。

【0021】

また、内部基体とは、IDラベル、IDカード、IDタグの基体とは別途形成され、基体の内側に形成される部分を指す。インレット基体等とも呼ばれる。基本的には、外部から視認できないが、基体が透明体で形成される場合等においては、外部から視認できるものも含む。なお、該内部基体についても、単層構造であっても積層構造であってもよい。

【0022】

また、IDカードとは、様々な情報を記憶することが可能な微小な集積回路装置を有するカードを指し、キャッシュカード、クレジットカード、プリペイドカード、電子乗車券、電子マネー、テレフォンカード、会員カード等のあらゆるカード類を意味する。

【0023】

また、IDタグとは、IDラベルと同様、主に市場に流通する商品の識別や、それらに関する情報を記憶させる機能を有するものである。IDラベルやIDタグを商品に備え付けることにより、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、IDタグを備えることにより、所謂トレーサビリティ (traceability; 複雑化した製造、流通の各段階で問題が生じた場合に、経路を遡ることによって、その原因を迅速に把握できる態勢を整えること。) に優れた商品を流通させることができる。また、凶悪犯罪や行方不明といった事件が増加する中、特に幼児、児童、老人や旅行者等の個々人の居場所を常時的確に把握し、事故に巻き込まれる可能性を減らすべく、個人を認識するために、IDタグを利用することも可能である。

【0024】

また、カバーとは、カードやタグの基体のうち、少なくともアンテナ及び薄膜集積回路装置が形成された側を覆うものであり、基体に対向して設けられるものである。勿論、薄膜集積回路装置が形成された基体とは別の基体であっても良く、その材質は、薄膜集積回路装置が形成された基体と同じでも異なっても良い。また、コーティングの役割を果たすものであっても良い。

【発明の効果】

【0025】

本発明に係るIDラベル、IDカード、IDタグが有する薄膜集積回路装置は、いずれも薄膜トランジスタ (TFT) のごとき薄膜能動素子を含んでいることを特徴としているため、TFTを被剥離基板上に形成した後、被剥離基板を剥離し、素子分離を行う等の方法により、薄膜集積回路装置を安価で大量生産することができる。また、薄膜能動素子から構成されるため、従来に比べてより薄型のIDラベル、IDカード、IDタグを得ることができる。

【0026】

また、従来のシリコン基板上に形成されたICチップのように、裏面研磨を行う必要がなく、工程を大幅に簡略化でき、かつ製造コストを大幅に削減することができる。また、



被剥離基板として、シリコン基板よりも安価なガラス基板、石英基板、太陽電池級シリコン基板（太陽電池グレードシリコン基板）等を用いることができ、さらに、被剥離基板を再利用することもできるため、大幅にコスト低減を図ることができる。

#### 【0027】

また、シリコンウエハで作製されたICのように、クラックや研磨痕の原因となるバックグランド処理を行う必要がなく、また、素子の厚さのバラツキも、ICを構成する各膜の成膜時におけるばらつきに依存することになるので、大きくても数百nm程度であり、バックグランド処理による数～数十 $\mu$ mのばらつきと比べて飛躍的に小さく抑えることができる。

#### 【0028】

したがって、本発明により、低コストで大量生産が可能で、より薄型で、機能性に優れたIDラベル、IDカード、IDタグ等の各種物品を提供することができる。

#### 【発明を実施するための最良の形態】

#### 【0029】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更することができる。例えば、本実施形態及び本実施例の各々を適宜組み合わせることで本発明を実施することができる。したがって、本実施の形態の記載内容に限定して解釈されるものではない。

#### 【0030】

##### （実施形態1）

本発明に係るIDラベルの構造及び作製方法について、主に図1（A）、図2、図3を参照して説明する。図1（A）は、本発明に係るIDラベルの積層構造を示した斜視図である。ここでは、便宜上、商品等に貼り付けるラベル基体（一般に、「タック紙」などと呼ばれるが、紙素材に限定されない。）部分を下方に、ラベルの台紙となるセパレータを上方に示してある。

#### 【0031】

図1（A）は、ラベル基体10に、予めアンテナ11と、該アンテナと薄膜集積回路装置との接続部である接続パッド12を形成しておき、別途形成した薄膜集積回路装置13をラベル基体に貼り付ける場合について示したものである。ラベル基体の表面（本図においては裏側）には、必要に応じて、文字、記号、絵図等のプリント14が施されている。また、非接触型と接触型の機能を併有した所謂ハイブリッド型のIDラベルとしたい場合には、接続端子を構成する配線パターンを印刷法等によって形成しても良い。

#### 【0032】

アンテナ及び薄膜集積回路装置が形成されたラベル基体10は、接着剤層15を介して、セパレータ16に貼り付けられる。なお、ラベル基体10の表面には、コーティング層17を形成しても良い。また、図示しないが、ラベル基体と接着剤層の間にもコーティング層を設けても構わない。

#### 【0033】

ここで、ラベル基体としては、代表的には、紙、合成紙、プラスチック、PET、ポリプロピレン、ポリエチレン、ポリスチレン、ナイロン等の樹脂材料、無機材料等を用いることができるが、これらに限定されるものではない。IDラベルは、平坦形状を有する商品のみならず、様々な形状を有する商品にも貼付可能とするために、ラベル基体は、可撓性を有するフレキシブルな素材を用いることが望ましい。なお、樹脂材料としては、例えば、特開2001-30403に記載された高密度ポリエチレン（HDPE）等を用いることもできる。また、上記材料を2種類以上組み合わせて使用しても良い。

#### 【0034】

また、アンテナ及び接続パッドに用いられる導電材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができる。勿論、これらに限定されるものではないが、加工容易性、コスト面から見

て、A1を用いるのがよい。また、膜厚は、5～60 $\mu$ mとするのがよい。

#### 【0035】

また、アンテナと接続パッドで材料が異なっても良い。アンテナ及び接続パッドは、導電材料をスパッタ法によって全面形成した後に、パターンニング工程を行って形成しても良いし、インクジェット法、スクリーン印刷、オフセット印刷、グラビア印刷等（以後、これらを総称して「液滴吐出法」と呼ぶことがある。）によって、直接選択的に形成しても良い。また、上記導電材料を積層させて形成しても良い。また、これらの方法によって導電パターンを形成した後、メッキ法によって該導電パターンと同一又は異なる導電材料を形成しても良い。なお、本明細書を通じて、接続パッド部は、TF T側に設けた構成としても良い。

#### 【0036】

なお、アンテナと接続パッドは、展性、延性に富む金属材料を有するように形成し、更に好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。また、接続パッドは、薄膜集積回路装置との接続を確実にを行うため、できるだけ形成しておくのが望ましい。

#### 【0037】

また、接着剤層としては、空気中の微量な水分と反応して硬化するシアノアクリレート系材料（主に瞬間接着剤として用いられるもの）、酢ビ樹脂系エマルジョン（乳濁液）、ゴム系材料、透明で速乾性、耐水性がある塩ビ樹脂系材料、酢ビ溶液系材料、エポキシ系材料、ホットメルト（熱溶融型）材料等、公知のものを採用することができる。勿論、接着機能を有するものであれば、これらに限定されるものではない。また、IDラベルを商品等に貼付した後、再剥離・再貼付を行う場合には、3M社製のポストイット（登録商標）製品や、ムーア社製ノートスティックス（登録商標）製品等に用いられる再剥離再接着可能な接着剤を用いても構わない。例えば、特開2001-30403、特許2992092、特開平6-299127に記載された、アクリル系粘着剤、合成ゴム系粘着剤、天然ゴム系粘着剤等を用いることができる。

#### 【0038】

また、セバレータとしては、紙、合成紙が用いられるが、プラスチック、PET、ポリプロピレン、ポリエチレン、ポリスチレン、ナイロン等の樹脂材料、無機材料等を用いることができるが、これらに限定されるものではない。また、コーティング層としては、プラスチック、PET、ポリプロピレン、ポリエチレン、ポリスチレン、ナイロン等の透明樹脂材料、DLC（ダイヤモンドライクカーボン）等を用いることができる。また、プリントは、公知の印刷法等によってラベル基体に形成しておけばよい。また、薄膜集積回路装置13としては、代表的には、TF T等の薄膜能動素子を含むチップを用いることができる。具体的な構造、作製方法については、後述する。

#### 【0039】

ここで、図1(A)のラベル基体のX-Y方向の断面図を図2、図3に示す。薄膜集積回路装置13には、複数のTF T23が形成されており、さらに、アンテナと接続するための接続配線21が形成されている。

#### 【0040】

また、導電材料としては、導電膜の機能に応じて種々の材料を選択することができるが、代表的なものとして、銀(Ag)、銅(Cu)、金(Au)、ニッケル(Ni)、白金(Pt)、クロム(Cr)、スズ(Sn)、パラジウム(Pd)、イリジウム(Ir)、ロジウム(Rh)、ルテニウム(Ru)、レニウム(Re)、タングステン(W)、アルミニウム(Al)、タンタル(Ta)、インジウム(In)、テルル(Te)、モリブデン(Mo)、カドミウム(Cd)、亜鉛(Zn)、鉄(Fe)、チタン(Ti)、シリコン(Si)、ゲルマニウム(Ge)、ジルコニウム(Zr)、バリウム(Ba)、アンチモン鉛、酸化スズ・アンチモン、フッ素ドーパ酸化亜鉛、炭素、グラファイト、グラッシーカーボン、リチウム、ベリリウム、ナトリウム、マグネシウム、カリウム、カルシウム、スカンジウム、マンガン、ジルコニウム、ガリウム、ニオブ、ナトリウム、ナトリウム-

カリウム合金、マグネシウム／銅混合物、マグネシウム／銀混合物、マグネシウム／アルミニウム混合物、マグネシウム／インジウム混合物、アルミニウム／酸化アルミニウム混合物、リチウム／アルミニウム混合物等、ハロゲン化銀の微粒子等、又は分散性ナノ粒子、あるいは、透明導電膜として用いられる酸化インジウムスズ（ITO: Indium Tin Oxide）、酸化亜鉛（ZnO: Zinc Oxide）、ガリウムを添加した酸化亜鉛（GZO）、酸化インジウムに2～20%の酸化亜鉛を混合した酸化インジウム亜鉛（IZO: Indium Zinc Oxide）、有機インジウム、有機スズ、窒化チタン等を用いることができる。また、特に透明導電膜として用いられる材料に対しては、珪素（Si）又は酸化珪素（SiO<sub>x</sub>）を、上記ペーストやスパッタ用のターゲットに含有させて用いてもよい。例えば、ITOに酸化珪素を含有させた導電材料（通常「ITO-SiO<sub>x</sub>」と称されるが、ここでは便宜的に「ITSO」又は「NITO」と呼ぶ。）を用いることができる。また、これらの材料からなる層を積層させて所望の導電膜を形成してもよい。

#### 【0041】

図2は、薄膜集積回路装置の接続配線21と、ラベル基体の接続パッド12とを、異方性導電膜（以下、単に「ACF」（Anisotropic Conductive Film）と呼ぶことがある。また、異方性導電ペースト（ACP）と呼ぶこともある。）22を介して接続した場合について示したものである。このように、薄膜集積回路装置を上下逆にして貼り付ける方法をフェースダウンと呼ぶ。

#### 【0042】

ここで、ACFは、バインダ層と呼ばれる接着剤を構成する主成分からなる層中に、導電粒子が分散した構造を有している。したがって、薄膜集積回路装置と接続パッドとを接着すると同時に、導通をも確保することができる。薄膜集積回路装置は、後述するように、複数の薄膜集積回路装置を作製した後、ダイシング等によって素子分離を行い、各々の薄膜集積回路装置を小型真空ピンセット24又は図3に示す微小サイズのピン25を用いて搬送することにより、ラベル基体の所望の位置に貼付することができる。

#### 【0043】

次に、アンテナの断面構造について説明する。本実施形態では、図1に示すように、コイル状のアンテナを利用した電磁誘導型の非接触型IDラベルの場合について説明する。アンテナを流れる電流は、コイル状になっており、図示しないリーダ／ライタ（以後、単に「R/W」と呼ぶことがある。）から発生する磁界に近づくと、電磁誘導現象により、コイルの閉ループ内に電流が流れ、薄膜集積回路装置が起動する仕組みになっている。したがって、図1に示すように、薄膜集積回路装置は、アンテナの両端（例えば、外側と内側）と接続されている必要がある。

#### 【0044】

この際、アンテナ同士がショートしないように、図1（A）及び図2に示すような交差配線18を設けて、薄膜集積回路装置とアンテナの外側の端部とを、コンタクト部19を介して接続した。コンタクト部は、ラベル基体に予め設けておくのが望ましい。なお、交差配線18は、アンテナ11と同一又は異なる導電材料を用いて形成すればよい。形成方法についても特に制限はなく、アンテナ形成時と同様に行うことができる。

#### 【0045】

図3は、薄膜集積回路装置とラベル基体とを、接着剤層26を介して接着し、薄膜集積回路装置の接続配線21と、ラベル基体の接続パッド12とは、直接接続する場合について示したものである。接着剤層26としては、上述した接着剤層15と同様の材料を用いることができる。なお、素子分離した後の各々の薄膜集積回路装置は、微小サイズのピン25又は図2に示す小型真空ピンセット24を用いて搬送することにより、ラベル基体の所望の位置に貼付することができる。

#### 【0046】

薄膜集積回路装置とラベル基体とを接着する方法としては、図2、図3以外の方法を採用することも可能である。例えば、図示しないが、両面テープを用いたり、薄膜集積回路装置を覆うように樹脂等を形成したりする方法がある。

## 【0047】

なお、本実施形態においては、ラベル基体の外部に交差配線 18 が露出することになるため、図 1 (A) に示すコーティング層 17 を形成しておくのがよい。

## 【0048】

また、本実施形態においては、電磁誘導型を用いたアンテナ構造を採用したが、交流磁界によるコイルの相互誘導を利用した電磁結合型、マイクロ波 (2.45 GHz) によりデータの送受信を行うマイクロ波型、近赤外線により、光による空間電送を利用して ID ラベルとの更新を行う光通信型のいずれかを適宜採用することもできる。また、薄膜集積回路装置とアンテナとの接点は、本実施形態では 2 点としたが、この数に限定されるものではない。

## 【0049】

## (実施形態 2)

本発明に係る ID ラベルの構造及び作製方法について、主に図 1 (B)、図 4 を参照して説明する。図 1 (B) は、本発明に係る ID ラベルの積層構造を示した斜視図である。ここでは、便宜上、商品等に貼り付けるラベル基体部分を下方に、ラベルの台紙となるセパレータを上方に示してある。

## 【0050】

図 1 (B) は、ラベル基体 10 に、予めアンテナ 11 と、該アンテナと薄膜集積回路装置との接続部である接続パッド 12 を形成しておき、別途形成した薄膜集積回路装置 13 をラベル基体に貼り付ける場合について示したものである点では、図 1 (A) と同様であるが、薄膜集積回路装置とアンテナとを接続する交差配線 18 が、ラベル基体の内側に形成されている点に特徴がある。

## 【0051】

この際、アンテナ 11 と交差配線 18 とがショートしないように、絶縁層 27 を設けてある。さらに、絶縁層 27 には、コンタクト部 28 が形成されており、アンテナ 11 の外側の端子と交差配線 18 とが接続されている。図 1 (B) における X-Y 方向の断面図を図 4 (A) に示す。

## 【0052】

なお、絶縁層 27 としては、ポリイミド、アクリル、ポリアミド、レジスト、シロキサン等の有機樹脂や、酸化珪素、窒化珪素、酸窒化珪素、DLC (ダイヤモンドライクカーボン) 或いは窒化炭素 (CN) 等の炭素を有する膜、PSG (リンガラス)、BPSG (リンボロンガラス) 等の無機材料を用いることができる。但し、ID ラベル全体の膜厚が不必要に厚くならないように、絶縁層 27 と交差配線 18 を含めた膜厚が、図 4 (A) に示すように、薄膜集積回路装置 13 の膜厚以下となるようにするのが望ましい。

## 【0053】

なお、本実施の形態では、図 2 と同様に薄膜集積回路装置とラベル基体とを異方性導電膜 22 によって接続したが、図 3 に示した方法を採用しても構わない。

## 【0054】

なお、その余の構成については、実施形態 1 と同様とすることができる。

## 【0055】

本実施形態においては、交差配線をラベル基体の内側に形成したため、ラベル基体表面にコーティング層を設ける必要がなく、ID ラベル全体を薄型にすることができる。

## 【0056】

本実施形態においては、電磁誘導型を用いたアンテナ構造を採用したが、電磁結合型、マイクロ波型、光通信型のいずれかを適宜採用することもできる。また、非接触型と接触型の機能を併有した所謂ハイブリッド型の ID ラベルとしたい場合には、接続端子を構成する配線パターンを印刷法等によって形成しても良い。また、薄膜集積回路装置とアンテナとの接点は、本実施形態では 2 点としたが、この数に限定されるものではない。

## 【0057】

## (実施形態 3)

本発明に係る ID ラベルの構造及び作製方法について、主に図 1 (C)、図 4 (B) を参照して説明する。図 1 (C) は、本発明に係る ID ラベルの積層構造を示した斜視図である。ここでは、便宜上、商品等に貼り付けるラベル基体部分を下方に、ラベルの台紙となるセパレータを上方に示してある。

#### 【0058】

図 1 (C) は、ラベル基体 10 に、予めアンテナ 11 と、該アンテナと薄膜集積回路装置との接続部である接続パッド 12 を形成しておき、別途形成した薄膜集積回路装置 13 をラベル基体に貼り付ける場合について示したものである点では、図 1 (A) と同様であるが、薄膜集積回路装置とアンテナとを接続する交差配線 18 が、薄膜集積回路装置内に形成されている点に特徴がある。

#### 【0059】

図 1 (C) における X-Y 方向の断面図を図 4 (B) に示す。TFT 形成領域 29 からは、アンテナの内側の端部と、外側の端部に接続するための接続配線 21a~c が設けられている。そして、アンテナの外側の端部と接続する接続配線 21a と TFT 形成領域との間には、交差配線 18 が設けられている。交差配線 18 は、TFT 形成領域を作製後、第 1 層間膜 30a を形成し、コンタクトホールを開孔した後、導電材料をスパッタ法によって成膜、又は液滴吐出法によって吐出することによって形成することができる。さらに、交差配線 18 とアンテナ 11 とがショートしないように、第 2 層間膜 30b を形成し、接続配線 21c を形成する。なお、接続配線 21、交差配線 18 としては、上記導電材料を適宜採用することができる。さらに、第 2 層間膜 30b 上には、保護膜 31 を形成しても良い。

#### 【0060】

層間膜の材料としては、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン（シリコンと酸素との結合で骨格構造が構成され、置換基に少なくとも水素を含む材料、若しくは置換基にフッ素、アルキル基、または芳香族炭化水素のうち少なくとも一種を有する材料）等の耐熱性有機樹脂、を用いることができる。形成方法としては、その材料に応じて、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。あるいは、塗布法により得られる SOG 膜（例えば、アルキル基を含む  $\text{SiO}_x$  膜）を用いることもできる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸窒化珪素、DLC（ダイヤモンドライクカーボン）或いは窒化炭素（CN）等の炭素を有する膜、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。形成方法としては、プラズマ CVD 法、減圧 CVD（LP CVD）法、大気圧プラズマ等を用いることができる。なお、層間膜 30a、30b の材料は同じでも異なっても良い。

#### 【0061】

また、保護膜の材料としては、酸化珪素（ $\text{SiO}_x$ ）、酸化窒化珪素（ $\text{SiO}_x\text{Ny}$ ）の他、窒化珪素（ $\text{SiNx}$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{SiNO}_x$ ）、窒化酸化珪素（ $\text{SiNxOy}$ ）等の Na 元素等のアルカリ金属元素をブロッキングする機能を有するものを用いるのがよい。特に、ID ラベル、ID カード、ID タグ等は、直接素手で取り扱うことが多く、汗に含まれる Na の侵入を防止することができる。さらに望ましくは、上記材料を積層させるのがよい。例えば、 $\text{SiN}$ 、 $\text{SiNO}$ 、 $\text{SiO}_2$ 、 $\text{SiON}$ 、 $\text{TFT}$ 、 $\text{SiN}$  又は  $\text{SiNO}$  とすることができる。これらの積層構造は自由に組み合わせることができる。また、TFT の上下のみならず、外周辺部を上記材料で覆っても良い。なお、以後、酸化窒化珪素（ $\text{SiO}_x\text{Ny}$ ）と窒化酸化珪素（ $\text{SiNxOy}$ ）を総称して、酸窒化珪素ということがある。

#### 【0062】

また、上記材料を用いた保護層とすることで、有機樹脂材料からなる接着剤層が保護層に密着して設けられた場合、TFT を該接着剤層に含まれる不純物から保護することがで

きる。また、保護層に接して、又は保護層の内部にアンテナを形成した場合、上記保護層とすることで、導電材料（特に、Cu、Ag）の侵入を防止することができる。

#### 【0063】

なお、本実施の形態では、図2と同様に薄膜集積回路装置とラベル基体とを異方性導電膜22によって接続したが、図3に示した方法を採用しても構わない。

#### 【0064】

なお、その余の構成については、実施形態1と同様とすることができる。

#### 【0065】

本実施形態においては、交差配線を薄膜集積回路装置内に形成したため、ラベル基体表面にコーティング層を設ける必要がなく、また、ラベル基体上にコンタクトホールを開孔する必要もなくなる。

#### 【0066】

本実施形態においては、電磁誘導型を用いたアンテナ構造を採用したが、電磁結合型、マイクロ波型、光通信型のいずれかを適宜採用することもできる。また、非接触型と接触型の機能を併有した所謂ハイブリッド型のIDラベルとしたい場合には、接続端子を構成する配線パターンを印刷法等によって形成しても良い。また、薄膜集積回路装置とアンテナとの接点は、本実施形態では2点としたが、この数に限定されるものではない。

#### 【0067】

(実施形態4)

本発明に係るIDラベルの構造及び作製方法について、主に図5を参照して説明する。図5(A)は、本発明に係るIDラベルの積層構造を示した斜視図である。ここでは、商品等に貼り付けるラベル基体部分を上方に、ラベルの台紙となるセパレータを下方に示してある。

#### 【0068】

本実施形態は、内部基体（インレット基体）32に予めアンテナ11と、該アンテナと薄膜集積回路装置との接続部である接続パッド12を形成しておき、別途形成した薄膜集積回路装置13を内部基体32に貼り付け、ラベル基体を貼り付ける点に特徴がある。

#### 【0069】

内部基体32にアンテナ及び薄膜集積回路装置を設ける方法としては、上記実施形態においてラベル基体に設けた場合と同様に行うことができる（図2～4参照）。但し、IDラベル全体が不必要に厚くならないように、内部基体は薄型のフィルム状のものを用いるとよい。素材としては、紙、合成紙、プラスチック、PET、ポリプロピレン、ポリエチレン、ポリスチレン、ナイロン等の樹脂材料、無機材料等を用いることができるが、これらに限定されるものではない。また、IDラベルは、平坦形状を有する商品のみならず、様々な形状を有する商品にも貼付可能とするために、内部基体も、可撓性を有するフレキシブルな素材を用いることが望ましい。これにより、IDラベルの取り扱いが容易になる。なお、樹脂材料としては、例えば、特開2001-30403に記載された高密度ポリエチレン（HDPE）等を用いることもできる。

#### 【0070】

図5(B)は、本実施形態によって作製されたIDラベルの完成品の断面拡大図である。アンテナ及び薄膜集積回路装置が形成された内部基体の上下は、保護層34、35覆われている。保護層としては、酸化珪素、窒化珪素、酸化珪素等のNa元素等の不純物をブロッキングする機能を有するものを用いるのがよく、さらに望ましくは、これらを積層させて形成するのがよい。勿論、他の勇氣樹脂系の材料を用いることもできる。

#### 【0071】

この別途形成された内部基体32は、接着剤層36を介してラベル基体10に貼り付けられる。ラベル基体の表面（印刷面33）には、必要に応じて、プリント14が施されている。また、本実施形態においては、内部基体32のサイズをラベル基体10のサイズよりも小型としたため、接着剤層36を内部基体の側面に形成することができ、それによって、セパレータ16と、内部基体32及びラベル基体10とを保持することができる。

## 【0072】

実際にIDラベルを商品等に貼り付ける場合には、セパレータを剥がし、接着剤層36を介して貼り付けられればよい。この際、内部基体の下部（商品との接着面）には、保護層35が設けられているため、外部から薄膜集積回路装置内へ侵入するNa等の不純物をブロックすることができる。したがって、例えば、上部保護層34は、薄型化のため単層とし、下部保護層35は不純物ブロッキング性向上のために積層構造とすることは、有効である。

## 【0073】

なお、内部基体32を、ラベル基体10とほぼ同じサイズとする場合には、内部基体32の上下面両方に接着剤層を設け、ラベル基体10及びセパレータ16と接着させればよい。

## 【0074】

本実施形態においては、電磁誘導型を用いたアンテナ構造を採用したが、電磁結合型、マイクロ波型、光通信型のいずれかを適宜採用することもできる。また、非接触型と接触型の機能を併有した所謂ハイブリッド型のIDラベルとしたい場合には、接続端子を構成する配線パターンを印刷法等によって形成しても良い。また、薄膜集積回路装置とアンテナとの接点は、本実施形態では2点としたが、この数に限定されるものではない。

## 【0075】

(実施形態5)

本発明に係るIDカードの構造及び作製方法について、主に図6を参照して説明する。図5は、本発明に係るIDカードの積層構造を示した斜視図である。

## 【0076】

図6(A)は、IDカードのカード下部基体38b上に、予めアンテナ11と、該アンテナと薄膜集積回路装置との接続部である接続パッド12を形成しておき、別途形成した薄膜集積回路装置13をカード下部基体37bに貼り付ける場合について示したものである。そしてさらに、カード下部基体37bには、接着剤層39を介して薄膜集積回路装置を覆うカバー（カード上部基体37a）が接着される。カード上部基体37a又はカード下部基体38bには、必要に応じてプリント14が施されている。また、接続パッド12とアンテナ11とを接続するための交差配線18が、カード下部基体表面に露出する場合には、コーティング層40を別途形成しても良い。

## 【0077】

なお、カード基体としては、代表的には、プラスチック、PET、ポリプロピレン、ポリエチレン、ポリスチレン、ナイロン等の樹脂材料が用いられるが、紙、合成紙、無機材料等を用いてもよい。IDカードは、一般的には、折り曲げて使用することはほとんどないが、折り曲げ可能なIDカードとしたい場合には、カード基体として可撓性を有するフレキシブルな素材を用いることが望ましい。なお、樹脂材料としては、例えば、特開2001-30403に記載された高密度ポリエチレン(HDPE)等を用いることもできる。また、上記材料を2種類以上組み合わせて使用しても良い。

## 【0078】

なお、交差配線を含めたアンテナの構造、及び薄膜集積回路装置とアンテナの接続法等は、実施形態1〜4と同様に行うことができる。かくして、IDカード41が完成する。

## 【0079】

また、図6(B)は、アンテナ11が形成され、かつ薄膜集積回路装置13が貼り付けられた内部基体32を、接着剤層39を介して、カード基体37で封止したものである。なお、図示しないが、内部基体32をカード基体37よりも小型サイズに作製しておき、内部基体32の周囲に接着剤層を設けることができ、接着剤層38又は接着剤層39が不要となり、IDカードの薄膜化を図ることができる。

## 【0080】

なお、本実施形態においては、電磁誘導型を用いたアンテナ構造を採用したが、電磁結



合型、マイクロ波型、光通信型のいずれかを適宜採用することもできる。また、非接触型と接触型の機能を併有した所謂ハイブリッド型のIDカードとしたい場合には、接続端子を構成する配線パターンを印刷法等によって形成しても良い。また、薄膜集積回路装置とアンテナとの接点は、本実施形態では2点としたが、この数に限定されるものではない。

#### 【0081】

##### (実施形態6)

本発明に係る紙幣、硬貨等の構造及び作製方法について、主に図7を参照して説明する。図7は、本発明に係る紙幣、硬貨の積層構造を示した斜視図である。

#### 【0082】

図7(A)は、アンテナ11が形成され、かつ薄膜集積回路装置13が貼り付けられた内部基体32を、接着剤層36を介して、上部基体42a及び下部基体42bで封止したものである。基体42は、紙幣であれば、通常、紙、合成紙等のパルプ系材料が用いられるが、これらに限定されるものではない。また、基体は、種々の用途に対して適宜変更することができ、切手、切符、チケット、入場券、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等の無記名債券類、証券、約束手形、小切手、株券、公社債券等の有価証券類、住民票、戸籍謄本、戸籍抄本、社員証、学生証、会員証、受験票、受講票、資格証明書、身分証明書等の証書類、物体の識別に利用される荷札、値札、名札、表札等のIDタグ、包装紙等、あらゆる物品に対応させて選択すればよい。

#### 【0083】

また、図7(B)は、アンテナ11が形成され、かつ薄膜集積回路装置13が貼り付けられた円形又は楕円形の内部基体44を、接着剤層36を介して、円形又は楕円形の上部基体43a及び下部基体43bで封止したものである。基体43は、主に硬貨に用いられることを主眼にしているため、円形又は楕円形となっているが、必ずしもこの形状に限定されない。上記硬貨は、市場に流通する金銭を指すが、特定の地域で貨幣と同じように通用するもの(金券)も含まれるものとする。また、記念コイン、記念メダルなど、一時的に発行されるものも含むものとする。

#### 【0084】

なお、図7(A)(B)において、交差配線を含めたアンテナの構造、及び薄膜集積回路装置とアンテナの接続法等は、実施形態1~4と同様に行うことができる。この際、内部基体が占める面積を基体42に比べてできるだけ小さくすることによって、接着剤層36の占める接着面積が大きくなり、耐破壊性にすぐれた紙幣、証券類、有価証券類、無記名債券類、硬貨等の物品を得ることができる。

#### 【0085】

また、内部基体32、44及びアンテナ11の形状は、図7(A)(B)に示した形状に限定されない。

#### 【0086】

本発明に用いられる薄膜集積回路装置は、TFT等の薄膜能動素子から構成されるため、約 $5\mu\text{m}$ 以下の膜厚(上下に保護膜や形成される場合には、該保護膜の厚さを除く)とすることができる。好ましくは、 $0.1\mu\text{m}\sim 3\mu\text{m}$ とするのがよい。また、IDFチップのサイズは、 $25\text{mm}^2$ 以下、好ましくは、 $0.09\text{mm}^2\sim 16\text{mm}^2$ の面積とするのがよい。また、上下の保護層は、IDFチップサイズよりも大きくなるように形成するのがよい。

#### 【0087】

このように、本発明に用いられる薄膜集積回路装置は、従来のICチップが約 $0.06\text{mm}$ ( $60\mu\text{m}$ )の厚さを有していたのに比べ非常に薄型であることから、特に紙やフィルム状の樹脂からなる薄型の物品中に、チップとして挿入するのに非常に適している。また、IDFチップは厚さが薄いため、周囲を有機樹脂材料で充填し、一体物とすることが可能である。これによって、曲げ応力によるIDFチップへの影響を阻止することができる。

#### 【0088】



なお、本実施形態においては、電磁誘導型を用いたアンテナ構造を採用したが、電磁結合型、マイクロ波型、光通信型のいずれかを適宜採用することもできる。また、非接触型と接触型の機能を併有したハイブリッド型としたい場合には、接続端子を構成する配線パターンを印刷法等によって形成しても良い。また、薄膜集積回路装置とアンテナとの接点は、本実施形態では2点としたが、この数に限定されるものではない。

**【0089】**

(実施形態7)

本発明に係るIDラベルの作製方法について、主に図8を参照して説明する。図8は、本発明に係るIDラベルの製造ラインを示した模式図である。

**【0090】**

まず、図8(A)に示すように、IDラベルの基体となるラベル紙をラベル紙供給手段300(ロール1)から供給し、ラベル紙の所望の位置にIDFチップ(薄膜集積回路装置)を貼り付ける。この際、適宜、接着剤、ACFや、超音波接着法、UV接着法を用いる。ここでは、ラベル紙にアンテナが形成されているものとし、ACF供給手段301、IDFチップ貼付手段302によって、ACFを介してラベル紙とIDFチップとを接着した。勿論、ラベル紙に形成されたアンテナと、IDFチップは接続されている。次に、接着剤層供給手段303から、接着剤層を供給し、セパレート紙供給手段304(ロール2)から供給されるセパレート紙(セパレータ)を貼り付け、IDラベルが完成する。最後にラベル巻き取り手段305(ロール3)で、IDラベルを巻き取る。なお、IDラベル基体は、予め個々のラベル毎に分離しておき、セパレート紙は帯状のものを供給すると良い。この場合には、図34(A)に示すような、一連のラベル台紙118(セパレータ)上に、個々に分離されたIDラベル20を得ることができる。

**【0091】**

また、ラベル紙の供給と、セパレート紙の供給の順序は、図8(B)に示すように逆にしても良い。また、同図では、IDFチップにアンテナが一体形成されているものとし、ACF供給手段301は省略した。また、IDラベルが帯状に複数形成された後、型抜き機等のラベル分離手段306によってラベル分離を行い、個々のラベルの状態にしてから、製品として回収手段307によって回収しても良い。勿論、図8(A)と(B)は、交互に組み合わせることができる。

**【0092】**

なお、本実施形態に係る方法は、本発明に係るIDカード、IDタグ、紙幣、硬貨、証書類、無記名債券類、有価証券類等に、適宜採用することができる。例えば、IDタグの場合には、ロール1に下部基体材料を保持しておき、ロール2には、上部基体材料を保持しておけばよい。

**【0093】**

(実施形態8)

本発明に係るIDカードやIDタグの作製方法について、主に図9を参照して説明する。図9は、本発明に係るIDカード、IDタグの製造ラインを指名した模式図及び完成品の拡大図を示したものである。

**【0094】**

まず、図9(A)に示すように、IDカード又はIDタグの基体となる材料を基体供給手段308(ロール1)から供給し、基体の所望の位置に、IDF貼付手段302によって、IDFチップ(薄膜集積回路装置)を貼り付ける。この際、適宜、接着剤、ACFや、超音波接着法、UV接着法を用いる。次に、基体が帯状に連なっているときは、基体分離手段309によって、基体を個々のIDカード又はIDタグ毎に分離する。そして、ラミネート装置310によって、個々の基体の周囲をラミネート加工する。これにより、IDカード又はIDタグが完成する。

**【0095】**

なお、帯状の基体の所望の位置にIDFチップを形成し、ラミネート加工を行った後に、個々のIDカード又はIDタグ毎に分離しても良い。ラミネート加工されたIDカード

又はIDタグは、回収手段307によって回収される。

#### 【0096】

図9(B)は、本実施形態に係る方法を用いて作製されたIDカード又はIDタグの完成品の断面拡大図である。ラベル基体には、アンテナ11と、該アンテナに接続された薄膜集積回路装置13が形成されており、保護層34、35を介して、ラミネート層45に覆われている。なお、ラミネート加工時の加熱処理等において、薄膜集積回路装置やアンテナを保護するために、保護層34、35を形成しておくのが望ましい。保護層としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は窒化珪素膜或いは窒化酸化珪素膜等を用いることができるが、これに限定されるものではない。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。

#### 【0097】

かくして、ラミネート加工されたIDカード又はIDタグを得ることができる。なお、ラミネート加工に適した商品であれば、IDカード、IDタグに限らず、本製造プロセスを採用することができる。

#### 【0098】

##### (実施形態9)

本発明に係るIDラベル、IDカードの構造及び作製方法について、主に図10～12を参照して説明する。まず、図10は、本発明に係るIDラベルの積層構造を示した斜視図である。ここでは、商品等に貼り付けるラベル基体部分を上方に、ラベルの台紙となるセパレータを下方に示してある。

#### 【0099】

図10は、IDラベルにおいて、アンテナ47と薄膜集積回路装置48とが一体形成されたアンテナ一体型薄膜集積回路装置46(以下、「アンテナ一体型IDFチップ」と呼ぶことがある。)を、接着剤層15を介してセパレータ16又はラベル基体10に貼り付ける方法を示したものである。なお、ラベル基体、接着剤層、セパレータの材質は、上記実施形態に準ずる。また、IDFチップ及びアンテナの形状は、図10の形状に限定されない。

#### 【0100】

また、図11は、IDカードにおいて、アンテナ一体型薄膜集積回路装置46を、接着剤層15を介してカード基体37に貼り付ける方法を示したものである。なお、カード基体、接着剤層の材質は、上記実施形態に準ずる。また、IDFチップ及びアンテナの形状は、図11の形状に限定されない。

#### 【0101】

また、図12は、図11に示すIDラベル、IDカードにおけるアンテナ一体型IDFチップのX-Y方向の断面図を示したものである。

#### 【0102】

図12(A)は、保護膜55上に、島状半導体膜57、ゲート絶縁膜58を形成した後に、ゲート電極56(ここでは、2層構造となっている)と交差配線52とを同時に形成する場合を示している。さらに、層間膜53を介して、アンテナ47、TFTとアンテナを接続するための配線51a、TFT同士を接続するための配線51bを形成した。ゲート電極56と交差配線52、及びアンテナ47と配線51は同一工程で作製するのが望ましいが、段階的に形成しても良い。

#### 【0103】

図12(B)は、保護膜55上に、島状半導体膜57、ゲート絶縁膜58を形成した後に、ゲート電極56(ここでは、2層構造となっている)とアンテナ47とを形成する場合を示している。さらに、層間膜53を介して、TFTとアンテナを接続するための配線51a、交差配線52、TFT同士を接続するための配線51bを形成した。ゲート電極56とアンテナ47、交差配線52と配線51は同一工程で作製するのが望ましいが、段階的に形成しても良い。

## 【0104】

なお、図12 (A) (B) とともに、また、トップゲート構造のTFTを用いているが、勿論、ボトムゲート構造を採用しても良い。TFTの具体的な作製方法については、後述する。また、半導体層57への不純物拡散を防止するため、単層又は積層構造の保護膜55を形成しておくのが望ましい。また、アンテナを形成した後も、保護膜54を形成しておくのが望ましい。なお、該保護層は、窒化珪素、酸化珪素、酸窒化珪素等を採用することができるが、Na等の不純物ブロッキング性を有する窒化珪素を含んでいることが望ましい。

## 【0105】

あるいは、層間膜や保護膜としては、弾性の高いポリイミド等の有機材料を用いてもよい。これにより、変形時の応力は、有機材料を有する層間膜や保護膜に集中し、主にこれらの膜が変形するので、薄膜トランジスタへかかる応力が低減される。また変形が生じる場合に、最も応力が負荷される箇所（エッジ、角）が、半導体膜のエッジではなく下地膜のエッジとなるため、半導体膜のエッジや界面で生じる応力集中を抑えることができる。

## 【0106】

なお、IDFチップ110は、図25に示すように、上下の保護層54、55のほぼ中央部に配置せしめるのが望ましい。ここで、IDFチップは約 $5\mu\text{m}$ 以下、好ましくは $0.3\sim 3\mu\text{m}$ の厚さに形成され、一方、アンテナは一般的に $5\sim 40\mu\text{m}$ の厚さ、保護膜は、上下それぞれ $10\sim 200\mu\text{m}$ の厚さに形成される。したがって、上下保護膜、IDFチップ、アンテナ（アンテナが一体形成されている場合）の膜厚の総計を $d$ として、IDFチップを、 $x = d/2 \pm 30\mu\text{m}$ の位置、さらに好ましくは、 $x = d/2 \pm 10\mu\text{m}$ の位置に配置するのが望ましい。

## 【0107】

このように、IDFチップを保護膜の中心に配置せしめることで、IDFチップへの応力を緩和することができ、TFTを構成する各層でのクラックの発生を防止することができる。

## 【0108】

以上は、TFTとアンテナを一体形成した場合の構造の一例であり、必ずしもこれらに限定されるものではない。

## 【実施例1】

## 【0109】

本実施例では、図13～16を参照して、薄膜集積回路装置の具体的な作製方法について説明する。ここでは、簡単のため、n型TFTとp型TFTを用いたCPUとメモリ部分の断面構造を示すことによって、その作製方法について説明する。

## 【0110】

まず、基板60上に、剥離層61を形成する（図13 (A)）。ここでは、ガラス基板（例えば、コーニング社製1737基板）上に、 $50\text{nm}$ （ $500\text{\AA}$ ）の膜厚のa-Si膜（非晶質シリコン膜）をCVD法により形成した。なお、基板としては、ガラス基板の他にも、石英基板、アルミナなど絶縁物質で形成される基板、シリコンウエハ基板、後工程の処理温度に耐え得る耐熱性を有するプラスチック基板等を用いることができる。

## 【0111】

また、剥離層としては、非晶質シリコンの他に、多結晶シリコン、単結晶シリコン、SAS（セミアモルファスシリコン（微結晶シリコンともいう。））等、シリコン（Si、珪素）を主成分とする層を用いることができる。これらの剥離層は、CVD法の他にも、スパッタ法等によって形成しても良い。また、剥離層は $50\text{nm}$ よりも薄く形成しても良い。

## 【0112】

次に、剥離層61上に、保護膜55（下地膜、下地絶縁膜と呼ぶこともある。）を形成する（図13 (A)）。ここでは、 $100\text{nm}$ （ $1000\text{\AA}$ ）の膜厚の窒化珪素膜をCVD法によって形成したが、材料、製法はこれに限定されるものではなく、酸化珪素膜、酸

窒化珪素膜等を用いることもできる。また、単層でなく、積層構造とすることもできる。例えば、酸化窒化珪素膜( $\text{SiO}_x\text{Ny}$ ) ( $x > y$ )、窒化酸化珪素膜( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) ( $x, y = 1, 2 \dots$ )、酸化窒化珪素膜の3層構造とするのがよい。

#### 【0113】

なお、剥離層61及び島状半導体膜57として、 $\alpha\text{-Si}$ 等の珪素を主成分とする材料を用いる場合には、それらに接する保護膜としては、密着性確保の点から、 $\text{SiO}_x\text{Ny}$ を用いるのが望ましい。

#### 【0114】

次に、下地膜44上に、薄膜集積回路装置のCPUやメモリを構成する薄膜トランジスタ(TFT)を形成する。なお、TFT以外にも、有機TFT、薄膜ダイオード等の薄膜能動素子を形成することもできる。

#### 【0115】

TFTの作製方法として、まず、保護膜55上に、島状半導体膜57を形成する(図13(B))。島状半導体膜100は、アモルファス半導体、結晶性半導体、又はセミアモルファス半導体で形成する。いずれも、シリコン、シリコン・ゲルマニウム( $\text{SiGe}$ )等を主成分とする半導体膜を用いることができる。

#### 【0116】

ここでは、70nmの膜厚のアモルファスシリコンを形成し、さらにその表面を、ニッケルを含む溶液で処理した後、500~750℃の熱結晶化工程によって結晶質シリコン半導体膜を得、さらにレーザー結晶化を行って結晶性の改善を施した。また、成膜方法としては、プラズマCVD法、スパッタ法、LPCVD法などを用いても良いし、結晶化方法としては、レーザー結晶化法、熱結晶化法、他の触媒( $\text{Fe}$ ,  $\text{Ru}$ ,  $\text{Rh}$ ,  $\text{Pd}$ ,  $\text{Os}$ ,  $\text{Ir}$ ,  $\text{Pt}$ ,  $\text{Cu}$ ,  $\text{Au}$ 等)を用いた熱結晶化、あるいはそれらを交互に複数回行っても良い。

#### 【0117】

また、非晶質構造を有する半導体膜の結晶化処理としては、連続発振のレーザーを用いても良く、結晶化に際し大粒径の結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波~第4高調波を適用するのが好ましい(この場合の結晶化をCWLCという)。代表的には、 $\text{Nd:YVO}_4$ レーザー(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発振の $\text{YVO}_4$ レーザーから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中に $\text{YVO}_4$ 結晶又は $\text{GdVO}_4$ 結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は0.01~100MW/cm<sup>2</sup>程度(好ましくは0.1~10MW/cm<sup>2</sup>)が必要である。そして、10~2000cm/s程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

#### 【0118】

また、パルス発振のレーザーを用いる場合、通常、数十Hz~数百Hzの周波数帯を用いるが、それよりも著しく高い10MHz以上の発振周波数を有するパルス発振レーザーを用いてもよい(この場合の結晶化をMHzLCという)。パルス発振でレーザー光を半導体膜に照射してから半導体膜が完全に固化するまでの時間は数十nsec~数百nsecとされているため、上記高周波数帯を用いることで、半導体膜がレーザー光によって熔融してから固化するまでに、次のパルスのレーザー光を照射できる。よって、従来のパルス発振のレーザーを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるので、走査方向に向かって連続的に成長した結晶粒を有する半導体膜が形成される。具体的には、含まれる結晶粒の走査方向における幅が10~30μm、走査方向に対して垂直な方向における幅が1~5μm程度の結晶粒の集合を形成することができる。該走査方向に沿って長く延びた単結晶の結晶粒を形成することで、少なくともTFTのチャネル方向には結晶粒界のほとんど存在しない

半導体膜の形成が可能となる。

#### 【0119】

上記の方法によって結晶性シリコン半導体膜を得る。なお、結晶は、ソース、チャネル、ドレイン方向にそろっていることが望ましい。また、結晶層の厚さは、20~200 nm (代表的には40~170 nm、さらに好ましくは、50~150 nm) となるようにするのがよい。その後、半導体膜上に酸化膜を介して、金属触媒をゲッタリングするためのアモルファスシリコン膜を成膜し、500~750℃の熱処理によってゲッタリング処理を行った。さらに、TFT素子としての閾値を制御するために、結晶性シリコン半導体膜に対し、 $10^{13}/\text{cm}^2$ オーダーのドーザ量のホウ素イオンを注入した。その後、レジストをマスクとしてエッチングを行うことにより、島状半導体膜57を形成した。

#### 【0120】

なお、結晶性半導体膜を形成するにあたっては、ジシラン ( $\text{Si}_2\text{H}_6$ ) とフッ化ゲルマニウム ( $\text{GeF}_4$ ) の原料ガスとして、LPCVD (減圧CVD) 法によって、多結晶半導体膜を直接形成することによっても、結晶性半導体膜を得ることができる。ガス流量比は、 $\text{Si}_2\text{H}_6/\text{GeF}_4=20/0.9$ 、成膜温度は400~500℃、キャリアガスとしてHe又はArを用いたが、これに限定されるものではない。

#### 【0121】

なお、TFT内の特にチャネル領域には、 $5 \times 10^{15} \sim 2.5 \times 10^{21} \text{ cm}^{-3}$  (0.0001~5原子%)、好ましくは、0.0005~5原子%の水素又はハロゲンが添加されているのがよい。いずれにしても、ICチップに用いられる単結晶に含まれる水素又はハロゲンの含有量よりも多く含有させておくことが望ましい。これにより、TFT部に局部クラックが生じて、水素又はハロゲンによってターミネート (終端) せられる。

#### 【0122】

次に、島状半導体膜57上にゲート絶縁膜58を形成する (図13 (B))。ゲート絶縁膜はプラズマCVD法又はスパッタリング法などの薄膜形成法を用い、窒化珪素、酸化珪素、窒化酸化珪素又は酸化窒化珪素を含む膜を、単層で、又は積層させて形成することが好ましい。積層する場合には、例えば、基板側から酸化珪素膜、窒化珪素膜、酸化珪素膜の3層構造とするのがよい。

#### 【0123】

次に、ゲート電極56を形成する (図13 (C))。ここでは、30 nmの膜厚のTa<sub>x</sub>N<sub>y</sub> (窒化タンタル) と、370 nmの膜厚のW (タングステン) をスパッタ法により積層形成した後に、レジスト62をマスクとしてエッチングを行うことにより、ゲート電極56を形成した。ここで、レジストマスクの代わりに、 $\text{SiO}_x$ 等のマスクを用いてもよい。この場合、 $\text{SiO}_x$ 、 $\text{SiON}$ 等のマスク (ハードマスクと呼ばれる。) をパターンニング形成工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅のゲート電極層を形成することができる。勿論、ゲート電極56の材料、構造、作製方法は、これに限定されるものではなく、適宜選択することができる。例えば、レジスト62を用いずに、液滴吐出法を用いて選択的にゲート電極56を形成しても良い。

#### 【0124】

なお、導電材料としては、導電膜の機能に応じて種々の材料を選択することができるが、代表的なものとして、銀 (Ag)、銅 (Cu)、金 (Au)、ニッケル (Ni)、白金 (Pt)、クロム (Cr)、スズ (Sn)、パラジウム (Pd)、イリジウム (Ir)、ロジウム (Rh)、ルテニウム (Ru)、レニウム (Re)、タングステン (W)、アルミニウム (Al)、タンタル (Ta)、インジウム (In)、テルル (Te)、モリブデン (Mo)、カドミウム (Cd)、亜鉛 (Zn)、鉄 (Fe)、チタン (Ti)、シリコン (Si)、ゲルマニウム (Ge)、ジルコニウム (Zr)、バリウム (Ba)、アンチモン鉛、酸化スズ・アンチモン、フッ素ドーパド酸化亜鉛、炭素、グラファイト、グラッシーカーボン、リチウム、ベリリウム、ナトリウム、マグネシウム、カリウム、カルシウム、スカンジウム、マンガン、ジルコニウム、ガリウム、ニオブ、ナトリウム、ナトリウム-

カリウム合金、マグネシウム／銅混合物、マグネシウム／銀混合物、マグネシウム／アルミニウム混合物、マグネシウム／インジウム混合物、アルミニウム／酸化アルミニウム混合物、リチウム／アルミニウム混合物等、ハロゲン化銀の微粒子等、又は分散性ナノ粒子、あるいは、透明導電膜として用いられる酸化インジウムスズ（ITO: Indium Tin Oxide）、ITO、酸化亜鉛（ZnO: Zinc Oxide）、ガリウムを添加した酸化亜鉛（GZO）、酸化インジウムに2～20%の酸化亜鉛を混合した酸化インジウム亜鉛（IZO: Indium Zinc Oxide）、有機インジウム、有機スズ、窒化チタン等を適宜採用することができる。

#### 【0125】

なお、ゲート電極をエッチング形成する際のエッチングガスとしては、 $\text{CF}_4$ 、 $\text{Cl}_2$ 、 $\text{O}_2$ の混合ガスや $\text{Cl}_2$ ガスを用いたが、これに限定されるものではない。

#### 【0126】

次に、p型TFT70、72となる部分をレジスト63で覆い、ゲート電極をマスクとして、n型TFT69、71の島状半導体膜中に、n型を付与する不純物元素64（代表的にはP（リン）又はAs（砒素））を低濃度にドーピングする（第1のドーピング工程、図13（D））。第1のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 6 \times 10^{13} / \text{cm}^2$ 、加速電圧： $50 \sim 70 \text{ keV}$ としたが、これに限定されるものではない。この第1のドーピング工程によって、ゲート絶縁膜58を介してスルードーピングがなされ、一對の低濃度不純物領域65が形成される。なお、第1のドーピング工程は、p型TFT領域をレジストで覆わずに、全面に行っても良い。

#### 【0127】

次に、レジスト63をアッシング等により除去した後、n型TFT領域を覆うレジスト66を新たに形成し、ゲート電極をマスクとして、p型TFT70、72の島状半導体膜中に、p型を付与する不純物元素67（代表的にはB（ホウ素））を高濃度にドーピングする（第2のドーピング工程、図13（E））。第2のドーピング工程の条件は、ドーピング量： $1 \times 10^{16} \sim 3 \times 10^{16} / \text{cm}^2$ 、加速電圧： $20 \sim 40 \text{ keV}$ として行う。この第2のドーピング工程によって、ゲート絶縁膜58を介してスルードーピングがなされ、一對のp型の高濃度不純物領域68が形成される。

#### 【0128】

次に、レジスト66をアッシング等により除去した後、基板表面に、絶縁膜75を形成した（図14（F））。ここでは、膜厚100nmのSiON（酸化珪素）膜と、膜厚200nmのLTO膜（Low Temperature Oxide、低温酸化膜）の2層構造とした。ここでは、SiON膜は、プラズマCVD法で形成し、LTO膜としては、SiO<sub>2</sub>膜を減圧CVD法で形成した。その後、図示しないが、基板のTFTが形成された側をレジストで覆い、基板の裏面に形成された絶縁膜をエッチング除去した（裏面処理）。

#### 【0129】

次に、基板のTFT側に形成されたレジストを残したまま、エッチバック法により、レジスト及び絶縁膜75をエッチング除去し、サイドウォール（側壁）76を自己整合的（セルフアライン）に形成した（図14（G））。エッチングガスとしては、 $\text{CHF}_3$ とHeの混合ガスを用いた。なお、サイドウォールを形成する工程は、これらに限定されるものではない。

#### 【0130】

次に、p型TFT領域を覆うレジスト77を新たに形成し、ゲート電極57及びサイドウォール76をマスクとして、n型を付与する不純物元素78（代表的にはP又はAs）を高濃度にドーピングする（第3のドーピング工程、図14（H））。第3のドーピング工程の条件は、ドーピング量： $1 \times 10^{13} \sim 5 \times 10^{15} / \text{cm}^2$ 、加速電圧： $60 \sim 100 \text{ keV}$ として行う。この第3のドーピング工程によって、ゲート絶縁膜57を介してスルードーピングがなされ、一對のn型の高濃度不純物領域79が形成される。

#### 【0131】

なお、図示しないが、レジスト77をアッシング等により除去した後、不純物領域の熱

活性化を行っても良い。例えば、50nmのSiON膜を成膜した後、550℃、4時間、窒素雰囲気下において、加熱処理を行えばよい。また、水素を含むSiNx膜を、100nmの膜厚に形成した後、410℃、1時間、窒素雰囲気下において、加熱処理を行うことにより、結晶性半導体膜の欠陥を改善することができる。これは、例えば、結晶性シリコン中に存在するダングリングボンドを終端させるものであり、水素化処理工程などと呼ばれる。さらに、この後、TFTを保護するキャップ絶縁膜として、膜厚600nmのSiON膜を形成する。なお、水素化処理工程は、該SiON膜形成後に行っても良い。この場合、SiNx\SiON膜は連続成膜することができる。このように、TFT上には、SiON\SiNx\SiONの3層の絶縁膜が形成されることになるが、その構造や材料はこれらに限定されるものではない。また、これらの絶縁膜は、TFTを保護する機能をも有しているため、できるだけ形成しておくのが望ましい。

#### 【0132】

次に、TFT上に、層間膜53を形成する(図14(I))。層間膜53としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性有機樹脂を用いることができる。形成方法としては、その材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。また、無機材料を用いてもよく、その際には、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、層間膜107を形成しても良い。

#### 【0133】

次に、レジストを形成した後、エッチングによりコンタクトホールを開孔し、TFT同士を接続する配線51及び外部アンテナと接続するための接続配線21を形成する(図14(I))。コンタクトホール開孔時のエッチングに用いられるガスは、CHF<sub>3</sub>とHeの混合ガスを用いたが、これに限定されるものではない。また、配線51と接続配線21は同一材料を用いて同時に形成しても良いし、別々に形成しても良い。ここでは、TFTと接続される配線51は、Ti\TiN\Al-Si\Ti\TiNの5層構造とし、スパッタ法によって形成した後、パターニング形成した。

#### 【0134】

なお、Al層において、Siを混入させることにより、配線パターニング時のレジストバークにおけるヒロックの発生を防止することができる。また、Siの代わりに、0.5%程度のCuを混入させても良い。また、TiやTiNでAl-Si層をサンドイッチすることにより、耐ヒロック性がさらに向上する。なお、パターニング時には、SiON等からなる上記ハードマスクを用いるのが望ましい。なお、配線の材料や、形成方法はこれらに限定されるものではなく、前述したゲート電極に用いられる材料を採用しても良い。

#### 【0135】

なお、上記保護膜としては、DLC(ダイヤモンドライクカーボン)或いは窒化炭素(CN)等の炭素を有する膜、又は窒化珪素膜或いは窒化酸化珪素膜等を用いることができる。形成方法としては、プラズマCVD法や、大気圧プラズマ等を用いることができる。

#### 【0136】

あるいは、ポリイミド、アクリル、ポリアミド、レジスト又はベンゾシクロブテン等の感光性又は非感光性の有機材料や、シロキサン等の耐熱性有機樹脂、を用いることができる。形成方法としては、その材料に応じて、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を採用することができる。あるいは、塗布法により得られるSOG膜(例えば、アルキル基を含むSiO<sub>x</sub>膜)を用いることもできる。また、無機材料を用いてもよく、その際には、酸化珪素、窒化珪素、酸化珪素、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ膜等を用いることができる。なお、これらの絶縁膜を積層させて、上記保護膜を形成しても良い。

#### 【0137】

なお、本実施例では、CPU73、メモリ74等を構成するTFT領域とアンテナと接続する端子部80のみを一体形成する場合について示したが、TFT領域とアンテナとを一体形成する場合にも、本実施例を適用できる。この場合には、層間膜53又は保護膜54上にアンテナを形成し、さらに、別の保護膜で覆うと良い。

#### 【0138】

アンテナの導電材料としては、Ag、Au、Al、Cu、Zn、Sn、Ni、Cr、Fe、Co若しくはTi、又はそれらを含む合金を用いることができるが、これらに限定されるものではない。また、配線とアンテナで材料が異なっても良い。なお、配線及びアンテナは、展性、延性に富む金属材料を有するように形成し、更に好ましくは膜厚を厚くして変形による応力に耐えるようにするのが望ましい。

#### 【0139】

また、形成方法としては、スパッタ法によって全面成膜した後、レジストマスクを用いてパターニングを行ってもよいし、液滴吐出法によってノズルから選択的に形成しても良い。なお、ここでのいう液滴吐出法には、インクジェット法のみならず、オフセット印刷法やスクリーン印刷等も含まれる。配線とアンテナは、同時に形成しても良いし、一方を先に形成した後、他方が乗り上げるように形成しても良い。

#### 【0140】

また、薄膜集積回路装置を内蔵する商品が、導電材料を含む場合には、それと同様の導電材料を用いて、アンテナ又は配線を形成しても良い。例えば、硬貨の材料を用いて硬貨の内部にアンテナを形成することができる。この場合、例えば、10円玉に薄膜集積回路装置を埋め込む場合には、銅、亜鉛、スズの合金からなるアンテナを形成すると良い。

#### 【0141】

なお、本実施例では、トップゲート構造としたが、ボトムゲート構造（逆スタガ構造）としてもよい。なお、TFTのような薄膜能動素子部（アクティブエレメント）の存在しない領域には、下地絶縁膜材料、層間絶縁膜材料、配線材料が主として設けられているが、該領域は、薄膜集積回路装置全体の50%以上、好ましくは60～95%を占めていることが望ましい。これにより、IDFチップを曲げやすくし、IDラベル等の完成品の取り扱いが容易となる。この場合、TFT部を含むアクティブエレメントの島状半導体領域（アイランド）は、薄膜集積回路装置全体の5～50%、好ましくは、5～15%を占めているのがよい。

#### 【0142】

また、本実施例で作製したTFTのS値（サブスレッシュホールド値）は、 $0.35\text{ V}/\text{dec}$ 以下（好ましくは、 $0.07\sim0.25\text{ V}/\text{dec}$ ）、移動度は、 $10\text{ cm}^2\text{ V}/\text{sec}$ 以上を有している。また、リングオシレータレベルで、1MHz以上、好ましくは10MHz以上の特性（3～5Vにおいて）を有している、又は、ゲートあたりの周波数特性を100kHz以上、好ましくは1MHz以上（3～5Vにおいて）有している。

#### 【0143】

基板60上に、複数のTFT、保護膜、各種配線、アンテナ一体型の場合にはアンテナ（これらを総称して、「薄膜集積回路装置」という。）を形成したら（図15（J））、次に、薄膜集積回路装置13の境界領域に、ダイシングによって溝81を形成する（図15（K））。この際、ダイシング装置（ダイサー；dicer）を用いるブレードダイシング法を用いるのが一般的である。ブレード（blade）とは、ダイヤモンド砥粒を埋め込んだ砥石で、その幅は約 $30\sim50\text{ }\mu\text{m}$ であり、このブレードを高速回転させることにより、薄膜集積回路を分離する。また、ダイシングに必要なエリアをストリートと呼ぶが、この幅は、素子への損傷を考慮し、 $80\sim150\text{ }\mu\text{m}$ としておくのが望ましい。

#### 【0144】

なお、ダイシングの他にも、スクライビング又はマスクを利用したエッチング等によって行うことができる。スクライビングの場合には、ダイヤモンドスクライビング法とレーザースクライビング法等がある。レーザースクライビング法を採用する場合には、レーザー共振器から、パルス発振のパワーが200～300Wの線状レーザー、例えばNd:Y



AGレーザーであって、発振波長1064nmの基本波又は発振波長532nmの第2高調波等を用いることができる。

【0145】

また、エッチングの場合には、露光、現像工程によりマスクパターンを形成し、ドライエッチング、ウェットエッチング等により素子分離を行うことができる。ドライエッチングにおいては、大気圧プラズマ法を用いてもよい。

【0146】

なお、溝を形成する場合、溝の深さは、少なくとも剥離層の表面が露出する程度とすればよく、基板60が繰り返し利用できるように、基板に傷が付かないように上記ダイシング等を適宜制御するのが望ましい。

【0147】

次に、突起部82を有するジグ(支持基板)83を、接着剤84を介して、薄膜集積回路装置13毎に取り付ける(図15(L))。ここで、ジグ(治具)とは、剥離層を除去した後に薄膜集積回路がバラバラに分離しないように、一時的に薄膜集積回路を固定する役割を有する。ジグの形状としては、図15(L)のように、後にハロゲン化フッ素を含む気体又は液体の導入を容易にするために、突起部を設けた櫛状の構造とするのが望ましいが、平坦なジグを用いても構わない。また、さらに好ましくは、後にハロゲン化フッ素を含む気体又は液体の導入を容易にするための、開口部85を設けておいても良い。

【0148】

ジグとしては、ハロゲン化フッ素によって冒されない酸化珪素を主成分とするガラス基板、石英基板、ステンレス(SUS)基板等を用いることができるが、ハロゲン化フッ素によって冒されない材料であれば、これらに限定されるものではない。

【0149】

ここで、接着剤としては、UV光照射によって接着力(粘着力)が低下又は喪失する材料を用いることができる。ここでは、日東電工社製UV照射剥離テープを用いた。これ以外にも、3M社製のポストイット(登録商標)製品や、ムーア社製ノートスティックス(登録商標)製品等に用いられる再剥離再接着可能な接着剤を用いても構わない。例えば、特開2001-30403、特許2992092、特開平6-299127に記載された、アクリル系粘着剤、合成ゴム系粘着剤、天然ゴム系粘着剤等を用いることができる。勿論、ジグを簡単に取り外すことができる材料であれば、これらに限定されるものではない。

【0150】

次に、溝81にハロゲン化フッ素ガスを導入することにより、剥離層であるa-Si膜をエッチング除去した(図16(M))。ここでは、図21に示すような減圧CVD装置を用い、ガス:  $\text{ClF}_3$  (三フッ化塩素)、温度: 350℃、流量: 300 sccm、気圧: 6 Torr、時間: 3hの条件で行ったが、この条件に限定されるものではない。また、 $\text{ClF}_3$ ガスに窒素を混ぜたガスを用いてもよい。両者の流量比は適宜設定することができる。なお、 $\text{ClF}_3$ 以外にも、 $\text{BrF}_3$ 、 $\text{ClF}_2$ 等のガスを用いてもよい。

【0151】

ここで、図21に示す減圧CVD装置は、反応空間であるベルジャー100内に、 $\text{ClF}_3$ ガス86等のハロゲン化フッ素ガスが導入され、ガスが基板101に行き渡る仕組みになっている。ベルジャーの外部にはヒーター102が設けられている。また、残余ガスは、排気管103から排出される。

【0152】

ここで、 $\text{ClF}_3$ 等のハロゲン化フッ素は、珪素を選択的にエッチングするという特性がある反面、酸化珪素( $\text{SiO}_x$ )、窒化珪素( $\text{SiN}_x$ )、酸窒化珪素( $\text{SiO}_x\text{Ny}$ 又は $\text{SiN}_x\text{Oy}$ )はほとんどエッチングされない。したがって、時間の経過とともに剥離層61はエッチングされ、最終的に基板60を剥離することができる(図16(N))。一方、酸化珪素、窒化珪素、酸窒化珪素等や、耐熱性樹脂からなる下地膜である保護膜や、層間膜、保護膜はほとんどエッチングされないため、薄膜集積回路への損傷を防止する

ことができる。なお、剥離した基板60は勿論再利用することができ、コスト削減に繋がる。

#### 【0153】

なお、剥離層61としては、 $\text{ClF}_3$ 等のハロゲン化フッ素によって除去可能なものであれば、上記シリコン系材料に限定されるものではない。また、保護膜や層間膜も、 $\text{ClF}_3$ 等のハロゲン化フッ素によって冒されないものであれば、上記材料に限定されない。

#### 【0154】

次に、UV光照射を行うことにより、接着剤84の粘着力を低下又は喪失させ、ジグと、薄膜集積回路装置とを分離することにより、大量に薄膜集積回路装置13を得ることができる。なお、ジグは、コスト削減のため、再利用するのが望ましい。

#### 【0155】

上記方法によって作製された薄膜集積回路装置13は、図2に示すような小型真空ピンセット24や、微少サイズのピン等により搬送し、IDラベル、IDカード等の物品の所望の位置に備え付けることができる。

#### 【0156】

また、基板を剥離する方法として、複数の薄膜集積回路が形成された基板にストレスを与え、基板を物理的に剥離する方法を採用しても良い。この場合には、剥離層として、 $\text{W}$ 、 $\text{SiO}_2$ 、 $\text{WO}_3$ 等を用いることができる。ストレスを与えるには、ダイヤモンドペン等で衝撃を与えればよい。

#### 【実施例2】

#### 【0157】

本実施例では、図15(K)における溝81を形成するにあたり、ドライエッチング法を用いる場合について、図17を用いて説明する。図17(A)において、図15(J)の状態までは、実施例1と同様である。その後、現像、露光工程を経て、基板上にレジスト87を形成し、レジスト87をマスクとして、ドライエッチングにより溝81を形成し、素子分離を行う(図17(A))。ここでは、プラズマエッチングを採用し、エッチング用ガスとしては、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$ もしくは $\text{CCl}_4$ などを代表とする塩素系ガス、 $\text{CF}_4$ 、 $\text{SF}_6$ 、 $\text{NF}_3$ 、 $\text{CHF}_3$ などを代表とするフッ素系ガス、あるいは $\text{O}_2$ を用いたが、これらに限定されるものではない。なお、該エッチングは、大気圧プラズマを利用して行うこともできる。この際、エッチングガスとしては、 $\text{CF}_4$ と $\text{O}_2$ の混合ガスを用いるのがよい。また、ガス種の異なるエッチングを複数回行うことによって溝81を形成しても良い。

#### 【0158】

次に、接着剤84を介して、ジグ83を薄膜集積回路装置に取り付け、 $\text{ClF}_3$ 等のハロゲン化フッ素によって、剥離層を除去し、最終的に基板60を剥離した(図17(B))。具体的な方法は、実施例1と同様である。

#### 【0159】

次に、UV光照射を行うことにより、接着剤84の粘着力を低下又は喪失させ、ジグ83と、薄膜集積回路装置とを分離することにより、薄膜集積回路装置を大量に作製することができる。上記方法によって作製された薄膜集積回路装置は、小型真空ピンセット等により、搬送し、所望の製品に備え付けることができる。

#### 【実施例3】

#### 【0160】

本実施例では、ダイシング等によって溝81を形成する際に、基板60に傷が付いた場合、その基板を再利用する場合について説明する。

#### 【0161】

第1の方法として、図18(A)に示すように、使用済み基板88上に平坦化膜89を形成する。平坦化膜としては、ポリイミド、アクリル、ポリアミドや、シロキサン等の耐熱性樹脂を、スピンコート法、ディップ法、スプレー法、液滴吐出法等によって形成することができる。後工程の熱処理を考慮すれば、シロキサン等の耐熱性樹脂を用いることが

望ましい。また、無機材料を用いてもよく、その際には、PSG（リンガラス）、BPSG（リンボロンガラス）、アルミナ膜等を用いることができる。その後の工程は、他の実施形態又は実施例と同様である。

#### 【0162】

第2の方法として、図示しないが、CMP（機械的化学的研磨）法を用いて、基板表面を平坦化する方法がある。使用済み基板56の傷が微細である場合には特に有効である。CMP法は、研磨用パッド内にスラリーと呼ばれる研磨溶剤を供給し、ウエハキャリアの回転とプラテンと呼ばれる回転台の回転による加圧と、研磨用パッドの研磨によって平坦化を行うものである。基板は、ガラス基板のように絶縁体であるので、スラリーとしては、アルカリ性のコロイド状シリカを混ぜたものが主に用いられる。その後の工程は、他の実施形態又は実施例と同様である。

#### 【実施例4】

#### 【0163】

本実施例では、被剥離基板として、ガラス基板や、石英基板以外の基板を用いた場合について説明する。

#### 【0164】

第1に、シリコンウエハ90を用意し、熱処理を行うことにより、シリコンウエハ90の表面に酸化膜91（酸化珪素膜）を形成し、熱酸化シリコン基板92を得る（図18（B））。熱処理方法としては、例えば、大気中（酸素、窒素雰囲気中）において、800～1200度（好ましくは900℃程度又は1150℃程度）の熱処理を行えばよいが、この温度に限定されない。

#### 【0165】

なお、酸化されるのは、半導体基板の周囲全面であってもよいし、少なくとも一つの面の表面であってもよいが、後に $\text{ClF}_3$ 等のハロゲン化フッ素を用いて基板から薄膜集積回路を分離する際に、該半導体基板がハロゲン化フッ素によって冒されないように、半導体基板の周囲全面が酸化され、酸化珪素が形成されていることが望ましい。なお、半導体基板を構成する半導体はシリコンに限定されない。

#### 【0166】

また、表面が酸化された半導体基板に代えて、表面が窒化又は酸窒化された半導体基板を用いてもよい。例えば、単結晶シリコン基板又は熱酸化シリコン基板の表面に、窒素イオンを注入した基板を用いることができる。また、ステンレス基板（SUS基板）等の金属からなる基板の表面に、酸化珪素や窒化珪素等の絶縁膜を形成した基板を用いることもできる。

#### 【0167】

その後、酸化膜91上に剥離層、下地保護膜、TF Tを形成し、ハロゲン化フッ素ガス等によって剥離を行う。なお、剥離層、下地保護膜を設けずに、直接、酸化膜91上にTF Tを形成し、シリコンウエハ90を除去することにより、剥離を行っても良い。

#### 【0168】

第2に、シリコンウエハを用意し、酸素イオンをドーピング注入する。そして、900～1200℃の加熱処理を行うことにより、埋め込み酸化膜94を形成する（図18（C））。この加熱処理温度はこれに限定されるものではないが、該加熱処理は、埋め込み酸化膜を形成すると同時に、ドーピングによりダメージを受けた単結晶シリコン（c-Si）層95の結晶性を改善する役割もあることから、それらの役割を考慮して加熱温度を調整する必要がある。かくして、単結晶シリコン基板93（下部単結晶シリコン層）、埋め込み酸化膜94、単結晶シリコン層95（上部単結晶シリコン層）からなるSIMOX基板96を得る。

#### 【0169】

なお、酸素イオンの代わりに窒素イオンをドーピング注入して、SOI基板を得ても構わない。また、図示しないが、酸化膜が形成されたデバイスウエハ（Si基板、デバイスが形成される側の基板）と、ハンドルウエハ（Si基板）とを酸化膜が中央に配置される

ように貼り合わせ、研磨した基板（所謂貼り合わせ基板）を用いてもよい。

【0170】

その後、TFTを作製するに当たっては、c-Si層95をTFTの半導体層（活性層）として用いればよい。また、ハロゲン化フッ素ガスによって剥離する場合には、c-Si基板93の全部又は一部を除去することによって行うことができる。なお、埋め込み酸化膜94は、保護膜（下地膜）として機能する。

【実施例5】

【0171】

本実施例では、図19、図20を参照して、本発明に係る薄膜集積回路装置及びその作製方法について、ジグ等を用いた接着を行わない方法について説明する。まず、図15（K）の状態までは、上記実施例と同様に作製する。

【0172】

次に、図15（K）の状態において、薄膜集積回路装置が形成された基板60を下向きにした状態で（フェスダウン）、トレー97が備え付けられた減圧CVD装置の炉（ベルジャー、図21参照）に、複数枚投入し、固定する。基板とトレーとを同時に投入してもよい。減圧CVD法を用いない場合も同様である。そして、 $\text{ClF}_3$ 等のハロゲン化フッ素を用いて、剥離層をエッチングすると、素子分離した薄膜集積回路装置は、トレー97に落下する仕組みとなっている（図19（A））。ただし、薄膜集積回路装置が形成されていた基板が落下しないように、基板を炉内に設置された枠などによって固定しておく必要がある。

【0173】

トレーと薄膜集積回路装置の間隔は、素子分離した薄膜集積回路装置がバラバラに分離するのを防ぐため、また、 $\text{ClF}_3$ 等のハロゲン化フッ素が供給しやすいように、0.5～1mmとするのがよい。また、素子分離した薄膜集積回路装置がバラバラに分離するのを防ぐため、トレー97には、図19（A）のように、薄膜集積回路装置のサイズに応じて、突起部を形成しておくのが望ましい。

【0174】

素子分離後、トレーに積載した薄膜集積回路装置は、微細なピン98又は小型真空ピンセットを用いて搬送され、所望の製品上に転写される（図19（B））。

【0175】

図20は、薄膜集積回路装置が素子分離される前に形成される基板として、前記トレーの機能を兼ねた基板99を用いた方法を示したものである。例えば、減圧CVD装置の炉（ベルジャー100）に、複数枚の基板101を投入し、固定する（図21参照）。減圧CVD法を用いない場合も同様である。そして、 $\text{ClF}_3$ 等のハロゲン化フッ素を用いて、剥離層をエッチングすると、図20に示すように、上部の薄膜集積回路装置は、下部の薄膜集積回路装置が形成されていた基板の裏面（突起部が形成されているのが望ましい。）に落下する。

【0176】

なお、トレー97及びトレー兼基板99は、熱酸化シリコン基板や、SIMOX基板等のSOI基板、ガラス基板、石英基板、SUS基板、アルミナ基板、耐熱性を有する可撓性基板（プラスチック製基板等）等、種々の基板を用いることができるが、耐ハロゲン化フッ素性、耐熱性があることが望ましい。

【0177】

上記方法を用いることにより、ジグを用いることなく、薄膜集積回路装置を大量に生産することができる。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

【実施例6】

【0178】

本実施形態では、フレキシブル基板上に作製されたアンテナと、薄膜集積回路装置とを別々に作製し、その後両者を接続する方法について、図22、図23を参照して説明する

## 【0179】

図22は、折り曲げ可能なフレキシブル基板104上に、アンテナ105を形成し、別途形成したIDFチップ107をアンテナ105と接続した後に、フレキシブル基板104を半分に折り畳み、封止してIDラベルやIDカード等を作製するというものである。ここで、アンテナ105は、スパッタ法等によって形成した後にパターンニング形成しても良いし、液滴吐出法を用い、導電材料を含む組成物を選択的に吐出した後に、該組成物を乾燥、焼成することにより形成しても良い。なお、アンテナを形成した後に、CMP法、プレス法等により、平坦化を向上させても良い。

## 【0180】

アンテナには、アンテナと集積回路を接続する接続パッド106を形成しておいても良い。接続パッドは、薄膜集積回路装置側に形成しておいても良い。なお、集積回路とアンテナとの接続は、異方性導電膜や、公知のボンディング法等を用いて行うことができる。また、アンテナの形状は、電磁誘導型の場合であれば、折り畳んだときに対称なコイル状であれば、図22に示す形状に限定されない。勿論、他の通信方式である電磁結合型、マイクロ波型、光交信型も適宜採用することができる。

## 【0181】

なお、図23(D)は、図22のX-Y方向における、アンテナ基板折り畳みの状態を示した断面図である。ここで、図23を参照して、折り畳みアンテナ基板と、薄膜集積回路装置との接続方法について説明する。

## 【0182】

まず、基板60に剥離層61を形成し、保護膜55を形成する。この際、アンテナ基板を折り畳んだ後に、下部アンテナ105bと接続される接続端子108を形成しておく(図23(A))。ここで、導電膜をパターンニングして接続端子を形成した後に、保護膜を形成して、平坦化処理を行っても良いし、接続端子の部分を残して保護膜を選択的に形成しておき、導電材料を液滴吐出法等によって吐出し、埋め込むことにより、接続端子を形成しても良い。

## 【0183】

次に、上記実施例によってCPU、メモリ等を構成するTFTを形成した後、第1層間膜30aを形成し、さらに、コンタクトホールを開孔し、上部アンテナ105aと接続するための上部接続配線109a、下部アンテナ105a(接続端子108)と接続するための下部接続配線109b、配線51を形成する(図23(B))。

## 【0184】

次に、第2層間膜30bを形成した後、コンタクトホールを開孔し、上部アンテナ105aと接続するための上部接続配線109a'を形成する(図23(C))。

## 【0185】

次に、各種配線が形成されたIDFチップを、アンテナが形成されたフレキシブル基板104の、接続パッド106上に貼り付ける。

この際、図2、図3に示した方法によって接続することができる。ここでは、異方性導電膜(ACF)22を介して、接続端子108と接続パッド106とを接続した。なお、ACF以外にも、公知のボンディング法や、超音波接着、UV接着等を用いてもよい。

## 【0186】

次に、フレキシブル基板104を折り畳み、上部アンテナの接続パッドと上部接続配線109a'とを、同じくACF22を介して接続した。なお、アンテナと薄膜集積回路装置との間は、エポキシ樹脂等でモールドしておくのが望ましい。

## 【0187】

本実施例のごとく、アンテナを折り畳んだ状態で、薄膜集積回路装置の上下と接続した構成とすることにより、薄膜集積回路装置の上下にアンテナを形成することができ、受信面積が増加し、受信精度の向上を図ることができる。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

**【実施例 7】****【0188】**

本実施例では、図 24 を参照して、ハロゲン化フッ素ガスによって素子分離を行った後に、IDFチップに接着されたジグ 83 を取り外さずに、直接、IDカード等の商品に接着する方法について説明する。

**【0189】**

まず、上記実施例の要領で、複数の IDFチップ 110 を形成し、接着剤 84 を介してジグ 83 を取り付ける。ジグ 83 としては、図 24 に示すように、突起部 82 を有するものを用いた。接着剤 84 としては、ここでは、UV 光照射によって粘着力が低下又は喪失する材料を用いる。また、素子への損傷を防ぐために、有機材料又は無機材料からなる保護膜 54 を設けている。そして、 $\text{CF}_3$ 等のハロゲン化フッ素によるエッチングにより、素子分離を行う。

**【0190】**

次に、ジグ 83 に素子が接着された状態で搬送し、IDカード等の商品が設置されたステージとのアライメントを行う。この際、図 24 (A) に示すように、ジグや、ステージに設けられたアライメントマーカー 111、112 を利用することもできるし、図示しないが、商品に直接形成されたマーカーを利用することもできる。商品内の薄膜集積回路装置が形成される部分（ここでは、IDカードのカード下部基体 37b）には、予め接着剤 113 が形成されており、ジグの位置を制御することにより、所望の素子を商品の所望の箇所に貼り付ける（図 24 (A)）。

**【0191】**

次に、カード下部基体 37b に貼り付けたい素子に対して、マスクを介して UV 光 114 を選択的に照射し、接着剤 84 の粘着力を低下又は喪失させることにより、ジグを素子とを分離する（図 24 (B)）。これにより、所望の IDFチップ 110 を商品の所望の箇所に形成することができる。素子形成後、カード上部基体 37a 等により、素子部をカバーする（図 24 (C)）。なお、ここでは、カード基体の内部にアンテナ 11 が形成された場合を示したが、素子部にアンテナを形成しておいても良い。

**【0192】**

本実施形態に示した本発明を用いることにより、 $\text{CF}_3$ 等のハロゲン化フッ素によるエッチングにより素子分離を行った際、素子がバラバラに分離することなく、所望の素子を所望の箇所に形成することができる。

**【0193】**

なお、本実施例は、IDカードのみならず、あらゆる商品に適用できることは言うまでもない。また、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

**【実施例 8】****【0194】**

本実施例では、一方向に折り曲げ可能な IDラベル等の商品に対して、IDFチップを設置する場合の、TFTの構成について説明する。

**【0195】**

図 26 は、IDFラベルに形成された IDFチップ 110 における TFT 内の、島状半導体膜 57 の層の上面図を示したものである。

島状半導体膜 57 には、n 型又は p 型不純物が付与されたソース領域 115、ドレイン領域 117、及び該不純物が付与されていないチャネル領域 116 が形成されている。また、IDFチップにおける少なくとも一の TFT の半導体領域は、アンテナ 11 と接続されている。

**【0196】**

ここで、ソース (S)、チャネル (C)、ドレイン (D) 領域が形成される方向、或いは、半導体膜の結晶成長方向と、略垂直な方向に IDラベル等の曲げ方向を設定することにより、IDラベル等を曲げた時に、島状半導体膜 57 に対するクラックの発生を防止することができ、IDラベルの取り扱いに拘わらず、安定した TFT 動作を供給することが

できる。

#### 【実施例9】

##### 【0197】

本実施例では、実施例1のプロセスにおいて、高温ポリシリコン (HPS) を採用した場合について説明する。一般に、ガラス基板の耐熱温度 (約600℃) 以上の結晶化プロセスを含む半導体プロセスを、高温プロセスと呼ぶ。

##### 【0198】

半導体膜を形成した後に、Ni等の上記触媒を添加し、LPCVD炉において加熱処理を行う。約700℃以上で、半導体膜中に結晶核が発生し、結晶化が進行する。

##### 【0199】

その後、島状半導体膜を形成した後、LPCVDによって、ゲート絶縁膜を形成する。例えば、シラン系ガスにN<sub>2</sub>やO<sub>2</sub>を混合させたガスを用い、900℃以上の高温で、HTO膜 (High Temperature Oxide) を形成する。

##### 【0200】

次に、リン等のn型不純物を含むポリシリコン (p-Si) を150nmの膜厚で成膜することにより、ゲート電極層を形成する。さらに、W-Si (タングステンシリサイド) を150nmの膜厚で成膜してもよい。形成方法は、スパッタ法、CVD法等を適宜採用することができる。その後のドーピング工程は、実施例1と同様に形成することができる。

##### 【0201】

ドーピング工程の後、950℃、30分の熱活性化を行い、不純物領域を活性化させる。さらに、BPSG (リンボロンガラス) を用いてリフローを行い、レジストを用いたエッチバック法により、平坦化を行う。さらに、350℃の水素化アニールを行い、プラズマダメージを回復させる。

##### 【0202】

その他の工程は、実施例1と同様に行うことができる。なお、本実施例では、トップゲート構造としたが、ボトムゲート構造 (逆スタガ構造) としてもよい。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

#### 【実施例10】

##### 【0203】

本実施例では、実施例1のプロセスにおいて、島状半導体膜57として、SAS (セミアモルファスシリコン) を採用した場合について説明する。SASは、珪化物気体をグロー放電分解することにより得ることができる。代表的な珪化物気体としては、SiH<sub>4</sub>であり、その他にもSi<sub>2</sub>H<sub>6</sub>、SiH<sub>2</sub>Cl<sub>2</sub>、SiHCl<sub>3</sub>、SiCl<sub>4</sub>、SiF<sub>4</sub>などを用いることができる。この珪化物気体を水素、水素とヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して用いることでSASの形成を容易なものとすることができる。希釈率は10倍~1000倍の範囲で珪化物気体を希釈することが好ましい。勿論、グロー放電分解による被膜の反応生成は減圧下で行うが、圧力は概略0.1Pa~133Paの範囲で行えば良い。グロー放電を形成するための電力は1MHz~120MHz、好ましくは13MHz~60MHzの高周波電力を供給すれば良い。基板加熱温度は300度以下が好ましく、100~200度の基板加熱温度が推奨される。

##### 【0204】

また、珪化物気体中に、CH<sub>4</sub>、C<sub>2</sub>H<sub>6</sub>などの炭化物気体、GeH<sub>4</sub>、GeF<sub>4</sub>などのゲルマニウム化気体を混入させて、エネルギーバンド幅を1.5~2.4eV、若しくは0.9~1.1eVに調節しても良い。

##### 【0205】

また、SASは、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示す。これは、アモルファス半導体を成膜するときよりも高い電力のグロー放電を行うため酸素が半導体膜中に混入しやすいためである。そこで、TFTのチ

ヤネル形成領域を設ける第1の半導体膜に対しては、p型を付与する不純物元素を、この成膜と同時に、或いは成膜後に添加することで、閾値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 $B_2H_6$ 、 $BF_3$ などの不純物気体を1ppm~1000ppmの割合で珪化物気体に混入させると良い。例えば、p型を付与する不純物元素としてボロンを用いる場合、該ボロンの濃度を $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。なお、上記SASでチャネル形成領域を構成することにより $1 \sim 10 \text{ cm}^2/\text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。

#### 【0206】

なお、SASを用いた場合には、半導体膜の結晶化工程（高温加熱処理工程）を省略することも可能であり、この場合には、チップをフレキシブル基板上に直接形成することも可能である。また、本発明においては、原則としてシリコンウエハ上にTFTを形成することはないが、フレキシブル基板等へ転写する前の被剥離基板として、用いることは可能である。なお、本実施例は、他の実施形態、実施例と自由に組み合わせることができる。

#### 【実施例11】

#### 【0207】

本実施例では、図34、図35を参照して、本発明に係るIDラベル、IDカード等の識別用製品、並びに、それらを付した商品の一例について説明する。

#### 【0208】

図34(A)は、本発明に係るIDラベルの完成品の状態の一例である。ラベル台紙（セバレート紙）118上に、IDFチップ110を内蔵した複数のIDラベル20が形成されている。IDラベル20は、ボックス119内に収納されている。また、IDラベル上には、その商品や役務に関する情報（商品名、ブランド、商標、商標権者、販売者、製造者等）が記されており、一方、内蔵されているIDFチップには、その商品（又は商品の種類）固有のIDナンバーが付されており、偽造や、商標権、特許権等の知的財産権侵害、不正競争等の不法行為を容易に把握することができる。また、IDFチップ内には、商品の容器やラベルに明記しきれない多大な情報、例えば、商品の産地、販売地、品質、原材料、効能、用途、数量、形状、価格、生産方法、使用方法、生産時期、使用時期、賞味期限、取扱説明、商品に関する知的財産情報等を入力しておくことができ、取引者や消費者は、簡易なリーダによって、それらの情報にアクセスすることができる。また、生産者側からは容易に書換え、消去等も可能であるが、取引者、消費者側からは書換え、消去等ができない仕組みになっている。

#### 【0209】

図34(B)は、IDFチップを内蔵したIDタグ120を示している。IDタグを商品に備え付けることにより、商品管理が容易になる。例えば、商品が盗難された場合に、商品の経路を辿ることによって、その犯人を迅速に把握することができる。このように、IDタグを備えることにより、所謂トレーサビリティ（traceability；複雑化した製造、流通の各段階で問題が生じた場合に、経路を遡ることによって、その原因を迅速に把握できる態勢を整えること。）に優れた商品を流通させることができる。

#### 【0210】

図34(C)は、本発明に係るIDカード41の完成品の状態の一例である。上記IDカードとしては、キャッシュカード、クレジットカード、プリペイドカード、電子乗車券、電子マネー、テレフォンカード、会員カード等のあらゆるカード類が含まれる。

#### 【0211】

図34(D)は、本発明に係る無記名債券122の完成品の状態の一例である。上記無記名債券類には、切手、切符、チケット、入場券、商品券、図書券、文具券、ビール券、おこめ券、各種ギフト券、各種サービス券等が含まれるが、勿論これらに限定されるものではない。

#### 【0212】

図34(E)は、IDFチップ110を内蔵した商品を包装するための包装用フィルム類127を示している。包装用フィルム類127は、例えば、下層フィルム上に、IDF



チップを任意にばらまき、上層フィルムで覆うことによって作製することができる。包装用フィルム類127は、ボックス129に収納されており、所望の量だけカッター128で切り離して利用することができる。なお、包装用フィルム類127としての素材は特に制限されない。例えば、薄膜樹脂、アルミ箔、紙等を用いることができる。

#### 【0213】

図35(A)(B)は、本発明に係るIDラベル20を貼付した書籍123、ペットボトル124を示している。本発明に用いられるIDFチップは非常に薄いため、上記書籍等の物品に薄膜集積回路を搭載しても、機能、デザイン性を損ねることがない。更に、非接触型薄膜集積回路装置の場合、アンテナをチップとを一体形成でき、曲面を有する商品に直接転写することが容易になる。

#### 【0214】

図35(C)は、果物類131の生鮮食品に、直接IDラベル20を貼り付けた状態を示している。また、図35(D)は、包装用フィルム類によって、野菜類130の生鮮食品を包装した一例を示している。また、なお、IDラベルを商品に貼り付けた場合、剥がされる可能性があるが、包装用フィルム類によって商品をくるんだ場合、包装用フィルム類を剥がすのは困難であるため、防犯対策上多少のメリットはある。

#### 【0215】

上述した商品以外にも、あらゆる商品に、本発明に係るIDFチップを利用することができる。

#### 【実施例12】

#### 【0216】

本実施例では、図30を参照して、本発明に係るIDラベル、IDタグ等を搭載した商品に関する情報を読み取る方法について説明する。

#### 【0217】

図30(A)に示すようなリーダ/ライタ本体170のセンサー部171に、IDラベルやIDタグが搭載された商品172をかざす。そして表示部には、商品の原材料や原産地、生産(製造)工程ごとの検査結果や流通過程の履歴等が表示され、更に商品の説明等の商品に関する情報を表示させる。もちろんリーダ/ライタに表示部を必ず設ける必要はなく、別に設けられてもよい。このようなリーダ/ライタは商品が陳列されている棚に設置しておけばよい。

#### 【0218】

また図30(B)に示すように、個人が所有する携帯情報端末、例えば携帯電話機本体180に、リーダ機能を搭載させ、本体の一部に設けられたセンサー部181にIDラベル又はIDタグが搭載された商品172をかざし、表示部183に情報を表示させる。すると同様に、商品に関する情報が表示される。もちろんリーダ/ライタに表示部を必ず設ける必要はなく、別に設けられてもよい。

#### 【0219】

また図30(C)に示すように、個人が所有する携帯可能なリーダ190のセンサー部191をIDラベル又はIDタグが搭載された商品172をかざし、表示部193に情報を掲載させる。すると同様に、商品に関する情報が表示される。もちろんリーダ/ライタに表示部を必ず設ける必要はなく、別に設けられてもよい。

#### 【0220】

このように、従来の無線タグ等により提供される情報と比べて、消費者は商品に関する豊富な情報を自由に入手することができる。勿論、薄膜集積回路装置により商品管理を素早く正確に行うことができる。

#### 【0221】

なお、本発明に係る商品に非接触型集積回路装置が内蔵される場合、カード等の商品とリーダ/ライタとの距離及び周波数によって、密着型、近接型、近傍型、遠隔型に分類される。密着型は、0~2mmの通信距離を有する電磁誘導方式で、通信周波数は4.92GHzを使用する。また、近接型は、10cm程度の通信距離を有する電磁誘導方式で、通信周波数は13

.56MHzを使用する。また、近傍型は、70cm程度の通信距離を有する電磁誘導方式で、通信周波数は13.56MHzを使用する。また、遠隔型は、数m程度の通信距離を有するマイクロ波方式である。

#### 【0222】

なお、非接触型のICの特徴は、コイル状に巻かれたアンテナの電磁誘導作用（電磁誘導方式）、相互誘導作用（電磁結合方式）又は静電気による誘導作用（静電結合方式）により電力が供給される点である。このアンテナの巻き数を制御することにより、受信する周波数の高さを選ぶことができる。例えば、周波数を高め波長を短くすることによりアンテナの巻き数を小さくできる。

#### 【0223】

また非接触型集積回路は接触型集積回路と比較すると、リーダ／ライタに接触せず、非接触で電源供給及び情報通信を行うため、破損せず、高い耐久性を有し、静電気等によるエラーの心配がない。更にはリーダ／ライタ自体の構成は複雑にならず、集積回路をリーダ／ライタにかざせばよいので、取扱いが容易である。

#### 【実施例13】

#### 【0224】

本実施例では、図31～33を参照して、本発明に係るIDラベル、IDタグを搭載した商品の管理方法及び情報や商品の流れについて説明する。

#### 【0225】

まず、図31を参照して、顧客が店内で商品を購入する場合について説明する。店内に陳列された商品132には、商品固有の情報、生産履歴等の情報を内蔵したIDラベル20又はIDタグが付されている。顧客は、店内に用意された、又は顧客自らが所有する顧客用R/Wを、商品132にかざすことにより、R/Wのアンテナ部134を介して商品に付されたIDラベル等と通信を行うことで、IDラベル等に内蔵された情報を読み出すことができる。

#### 【0226】

情報の読み取りや、購入／非購入の選択は、操作キー136で顧客が自由に行えるようにしておくのが望ましい。また、読み出された情報は、R/Wに備え付けられた表示部135に表示されるようにしておく。情報としては、商品の価格、消費税、原産国、生産者、輸入元、生産時期、賞味期限、その商品の用途（食品であればレシピ等）等が挙げられる。また、買い物時の買い上げ総額も表示されるようにすると便利である。

#### 【0227】

また、顧客用R/W133を、POSシステム137（Point of Sales；販売時点情報管理システム（商品に付けられているIDラベル、IDタグ等を、その商品が売れた時点で自動読取装置に読み取らせ、コンピュータに直接入力して、販売管理・顧客管理・在庫管理・仕入管理などを行うシステム）に接続しておくことにより、従来のレジにおけるバーコード読み取り作業が不要となる。

#### 【0228】

また、R/W133又はPOSシステム137と、電子マネー等の個人口座138とを接続しておき、購入額、利用額が自動引き落としとなるようにしておけば、キャッシュレス、レジスターレスとなり、効率良く買い物等を行うことができる。また、個人が有する電子マネーカードによって、その場で、R/Wとやりとりすることによって、精算を行うことも可能である。かかる電子マネーカードとしては、勿論、本発明に係るIDカードを採用することができる。また、店内の出入り口には、商品管理するためのゲートを設けておくことにより、R/W又はPOSシステムに入力されていない（すなわち、購入していない）商品をチェックし、盗難を防止することができる。

#### 【0229】

ここで、本発明に係るIDラベル、IDタグ等を搭載した商品の流れについて簡単に説明する。

#### 【0230】

図32(A)において、生産(製造)者は販売者(小売業者、卸業者等)又は消費者に薄膜集積回路装置搭載の商品を提供する。そして販売者は、例えば消費者の精算時に料金情報、商品の売れ個数や購入時間等の販売情報を生産(製造)者に提供することができる。一方消費者は、個人情報等の購入情報を提供することができる。例えば、薄膜集積回路装置搭載のクレジットカード、又は個人のリーダ等により購入情報を販売者や生産(製造)者へインターネット等を介して提供できる。また、販売者は、薄膜集積回路装置により、消費者に商品情報の提供し、販売者は消費者から購入情報を得ることができる。このような販売情報や購入情報等は、貴重な情報であり、今後の販売戦略に役立つ。

#### 【0231】

各種情報を提供する手段としては、薄膜集積回路装置から販売者や消費者の有するリーダが読み取った情報をコンピュータやネットワークを介して、その情報を生産(製造)者、販売者又は消費者に開示する方法がある。以上のように、多種多様な情報が薄膜集積回路装置を介して必要な者へ提供することができるため、本発明に係るIDラベル、IDタグは商品取引又は商品管理上でも有用である。

#### 【0232】

一方、図32(B)は、消費者から更に中古品販売業者に商品が流通する場合を示している。ここでも、消費者は、個人情報等の購入情報を提供することができる。例えば、集積回路装置搭載のクレジットカード、又は個人のリーダ等により購入情報を中古品販売者へインターネット等を介して提供できる。また、中古品販売者は、集積回路装置により、消費者に商品情報の提供し、販売者は消費者から購入情報を得ることができる。このような販売情報や購入情報等は、貴重な情報であり、特に中古品の過去の使用状況、使用年数等を知ることができ、価格設定や顧客選択等の販売戦略に役立てることができる。

#### 【0233】

次に、図33を参照して、空港における手荷物検査の場合について説明する。手荷物139には、IDチップ110を内蔵したIDタグ120が備え付けられており、コンベア145上を移動し、リーダ/ライタ140を通過することにより、アンテナ141から発振される電磁波142によって、IDチップ110を起動させ、メモリに含まれる情報を信号化して、リーダ/ライタ140に返信することにより、コンピュータ143によって情報を認識することができる。

#### 【0234】

また、コンピュータ143は、IDラベル又はIDタグが付され、又はIDチップが内蔵され、適正(適法)に市場に流通された商品(以後、「真正品」という。)のみについての情報が蓄積されたデータベース144と接続されており、手荷物139内に含まれている商品の情報と、データベース144と照合させることもできる。そして、手荷物139内に、真正品以外の物が含まれている場合には、検査を行い、必要に応じて、差押え、廃棄、処分等することができる。なお、真正品であっても、機内持ち込みが禁止されている危険物や銃刀類が含まれている場合には、コンピュータによって検出されるので、その場合には、手荷物がゲートを通過できないように、コンピュータ内のソフトをプログラミングしておけばよい。

#### 【0235】

勿論、真正品以外の偽造品、模倣品、密売品、密輸品等の不法行為を組成する物品が含まれている場合には、手荷物はゲートを通過することができない。これによって、偽造品が国内に流入又は国外に流出することを水際で防ぐことができる。さらには、危険物や銃刀類を探知することができるため、テロ対策にも繋がる。

#### 【実施例14】

#### 【0236】

本実施例では、図27~29を参照して、本発明に係るIDラベル、IDタグ、IDカード等の通信原理の一例について説明する。

#### 【0237】

図27は、IDラベル411等の識別用製品とリーダ/ライタ414のブロック図であ

る。400は入力用アンテナであり、401は出力用アンテナである。また402は入力用インターフェースであり、403は出力用インターフェースである。なお各種アンテナの数は、図27に示した数に限定されない。また、アンテナの形状も、コイル状に限定されない。入力用アンテナ400によって、リーダ/ライタ414から受信した電磁波412は、入力用インターフェース402において復調されたり直流化されたりした後、バス409を介して、CPU404、コプロセッサ405、ROM406、RAM407、不揮発性メモリ408等の各種回路に供給される。

#### 【0238】

ここで、コプロセッサとは、薄膜集積回路装置410の全ての処理を制御するにあたりメインとなるCPUの働きを助ける副プロセッサの役割を担っている。通常、暗号処理専用の演算装置として機能し、決済等のアプリケーションを行う際に必要となる暗号処理を行うことができる。また、不揮発性メモリ408としては、情報を複数回書き換えることができるEPROM、EEPROM、UV-EPROM、フラッシュメモリ、FRAM等を用いるのがよい。

#### 【0239】

なお、上記メモリは、その機能、性質により、プログラムメモリ（プログラムが格納されている領域）、作業メモリ（プログラム実行の過程で一時的にデータを保存しておく領域）、データメモリ（商品固有の情報のほか、プログラムが扱う固定的なデータを格納する領域）に分別される。通常、プログラムメモリとしてはROMを、作業メモリとしてはRAMを用いる。また、RAMは、R/Wとの間の通信時のバッファとしても機能する。また、信号として入力されたデータを定められたアドレスに記憶するためには、通常EPROMが用いられる。

#### 【0240】

次に、メモリ内に記憶された商品固有の情報が、上記各種回路において信号に置換され、さらに、出力用インターフェース403において変調され、出力用アンテナ401によってR/W414に送られる。ここで、入力用インターフェース402は、整流回路420と、復調回路421とが設けられている。入力用アンテナ400から入力された交流の電源電圧は、整流回路420において整流化され、直流の電源電圧として上記各種回路に供給される。また、入力用アンテナ400から入力された交流の各種信号は、復調回路421において復調される。そして復調されることで波形整形された各種信号は、各種回路に供給される。

#### 【0241】

また、出力用インターフェース403は、変調回路423と、アンプ424とが設けられている。各種回路から出力用インターフェース403に入力された各種信号は、変調回路423において変調され、アンプ424において増幅または緩衝増幅された後、出力用アンテナ401からR/Wのような端末装置に送られる。R/Wの入力用アンテナ425は、非接触型集積回路装置から発信された信号を受信し、入力用インターフェース426で、復調された後、コントローラ427を介してコンピュータ419に送られ、データ処理が行われることにより、商品固有の情報を認識することができる。

#### 【0242】

なお、上記コンピュータ419は、商品に関する情報を処理する機能を有するソフトを備えているが、勿論ハードで情報処理を行ってもよい。その結果、従来のようにバーコードを一つずつ読み取る作業と比較して、情報処理に費やす時間、労力やミスが低減され、商品管理への負担が軽減される。

#### 【0243】

なお、図27に示す各種回路は一形態を示したに過ぎず、非接触型集積回路装置411や、R/W414に搭載される各種回路は上記回路に限定されない。なお、図27では、非接触型としてアンテナを用いた例を示したが、非接触型の場合にはこれに限定されず、発光素子や光センサ等を用いて光でデータの送受信を行うようにしても良い。

#### 【0244】

また、図 27 では、整流回路 420、復調回路 421、変調回路 423 などのアナログ回路を含む入力用インターフェース 402 及び出力用インターフェース 403、CPU 404、各種メモリ等を、一の集積回路 410 で形成したが、本構成は一例であり、本発明はこの構成に限定されない。例えば、整流回路 420、復調回路 421、変調回路 423 などのアナログ回路を含む入力用インターフェース 402 及び出力用インターフェース 403 を、IC チップ 425 に形成し、CPU 404、各種メモリ等を、TFT によって形成される薄膜集積回路で形成することができる。

#### 【0245】

なお図 27 では、端末装置であるリーダ/ライタから電源電圧が供給されている例について示したが、本発明はこれに限定されない。例えば、図示しないが、非接触型集積回路装置に太陽電池が設けられていても良い。また、リチウム電池等の超薄型の電池を内蔵していても良い。

#### 【0246】

図 28 は、入力用アンテナ 400 と、出力用アンテナ 401 とが、別々に形成された場合の ID ラベル 20 を示す斜視図である。具体的な作製方法は、実施形態 1 と同様であるが、薄膜集積回路装置 13 と、アンテナとの端子部が 4 箇所となる。なお、入力用アンテナ 400 と、出力用アンテナ 401 とが、別々に形成された場合の構成は、これらに限定されるものではない。

#### 【0247】

ここで、図 29 を参照して、集積回路装置内の CPU の構成について簡単に説明する。図 29 は、CPU、メモリ、入出力インターフェースからなる集積回路のブロック図を示したものである。まず、CPU 919 は、メインメモリ 905 内のプログラムメモリ 906 から命令を読み出す作業が不可欠であるため、その命令が存在するアドレスを、アドレスバス 917 を介して指定する必要がある。この際、アドレス管理部 911 は、このようなメインメモリ 905 に対してのアドレスの指定を行う。

#### 【0248】

プログラムメモリに対して、アドレスを指定すると、そのアドレスに格納されている命令が出力され、この出力された命令は、データバス 916 及び内部バス 915 を介して、一旦命令レジスタ 912 に取り込まれる。ここで、レジスタとは、CPU 内部でのデータや実行状態の保持に用いる作業用の記憶素子であり、CPU 内部での各種処理は、このレジスタを用いて行われる。

#### 【0249】

命令レジスタに一旦取り込まれた命令は、命令デコーダ 913 に送られる。命令デコーダは、まず受け取った命令を翻訳し、制御部 900 が理解できる制御情報に置き換え、制御部に何をすべきかを指示する。また、命令デコーダは、命令によって処理される情報の所在（レジスタ又はメモリ）を指示する。なお、ここでいう翻訳とは、複数の入力信号（ビット）からなるデータを、特定の一つの信号に置換することを指す。

#### 【0250】

命令デコーダ 913 から制御部 900 への指示は、信号によって行われる。制御部には、情報の種類に対応した各種の処理を行う回路を制御する信号線（制御信号）が出ており、この制御信号にはそれぞれスイッチ回路が付いている。このスイッチがオンの時に、回路に対して制御信号を出力することができる。

#### 【0251】

また、命令の内容が演算に関するものの場合には、制御部は演算器 901 に対して演算処理の制御信号（データ読み込みのためのパルス信号）を出力する。演算の対象となる演算レジスタ 902 は、演算対象と被演算対象という 2 つのレジスタに分かれる。なお、各種メモリの役割は、上述したとおりである。また、入出力インターフェース 914 は、CPU が外部装置（例えば R/W）とやりとりする際に、規格の異なる信号を CPU で処理可能な信号に変換する役割を果たしている。

#### 【実施例 15】

## 【0252】

本実施例では、図36を参照して、本発明に係るIDFチップの構成の一例について、さらに具体的に説明する。

## 【0253】

図36(A)は、IDFチップ217の概略図であり、電源回路214、入出力回路215、アンテナ回路216、論理回路210、増幅器211、クロック生成回路・デコーダ212、メモリ213等から構成される。アンテナ回路216は、アンテナ配線201と、アンテナ容量202とを有している。

## 【0254】

IDFチップは独自の電源を持たない代わりに、リーダ/ライタ200から発せられる電磁波218を受け取ることで電力が供給され動作する。リーダ/ライタ200からの電磁波218をアンテナ回路216が受け取ると、第1の容量手段203、第1のダイオード204及び第3のダイオード207、第3の容量手段208等によって構成される入出力回路215により、検波出力信号として検出される。この信号は増幅器211によって十分大きな振幅に増幅された後、クロック生成回路・デコーダ212によってクロックとデータ・命令に分離され、送られた命令を論理回路210で解読し、メモリ213内のデータの返答、必要事項のメモリへの書き込み等を行う。

## 【0255】

返答は論理回路210の出力によってスイッチング素子209をオン/オフすることによって行う。これによってアンテナ回路216のインピーダンスが変化して結果としてアンテナ回路216の反射率を変化させる。リーダ/ライタ200はアンテナ回路216の反射率の変化をモニターすることで、IDチップからの情報を読み取る。

## 【0256】

IDチップ内の各回路で消費する電力は電源回路214により受信した電磁波218を検波、平滑することで生じる直流電源VDDによって供給される。入出力回路215と同様、第1のダイオード204と第2のダイオード205と第2の容量手段206によって構成されるが、第2の容量手段206は各回路に電力を供給するために十分大きな値を設定している。

## 【0257】

図36(B)は、IDFチップ309に使われる回路のうち、アンテナ回路308と電源回路307を抜き出したものである。アンテナ回路308は、アンテナ配線301と、アンテナ容量302とを有している。また電源回路307は、第1の容量手段303と、第1のダイオード304と、第2のダイオード305と、第2の容量手段306とを有している。

## 【0258】

IDチップは無電池で動作することを特徴のひとつとして挙げられるが、前述したようにリーダ/ライタから発せられる電磁波をアンテナ回路308で取りこみ、電源回路307で整流することにより発生する直流電圧によって、IDチップ内に組み込まれた回路が作動する仕組みになっている。

## 【産業上の利用可能性】

## 【0259】

上記実施形態又は実施例では、主に非接触型薄膜集積回路装置について説明したが、本発明に係る薄膜集積回路装置は、勿論、接触型薄膜集積回路装置にも採用することができる。例えば、磁気ストライプ型や、ICモジュール接点型のチップとすることができる。接触型ICの場合はアンテナを設けない構成とすればよい。また、これらの磁気ストライプ型又はICモジュール接点型の薄膜集積回路装置と、非接触型薄膜集積回路装置とを組み合わせた構造としても良い。

## 【0260】

本発明に用いられるIDFチップに代表される薄膜集積回路装置は、IDラベル、IDカード、IDタグはもとより、様々な商品に搭載することができる。他にも、紙幣、硬貨

、無記名債券類、証券類、有価証券類等に用いることができる。特に、紙状、板状、ラップ状の商品に適用する際に有効であり、上記実施形態、実施例を参照して、それらの商品を作製することができる。このように、本発明の利用範囲は極めて多岐に渡る。

【図面の簡単な説明】

【0261】

- 【図1】 本発明に係るIDラベルの積層構造を示す斜視図
- 【図2】 本発明に係るIDラベルの作製方法を示す図（異方性導電膜）
- 【図3】 本発明に係るIDラベルの作製方法を示す図（接着剤層）
- 【図4】 本発明に係るIDラベルの作製方法を示す図（内部交差配線）
- 【図5】 本発明に係るIDラベルの積層構造を示す斜視図、断面図（内部基体）
- 【図6】 本発明に係るIDカードの積層構造を示す斜視図
- 【図7】 本発明に係る紙幣、硬貨の積層構造を示す斜視図
- 【図8】 本発明に係るIDラベル等の製造ラインを示す模式図
- 【図9】 本発明に係るIDカード、タグ等の製造ラインを示す模式図
- 【図10】 本発明に係るIDラベルの積層構造を示す斜視図（アンテナ一体型）
- 【図11】 本発明に係るIDカードの積層構造を示す斜視図（アンテナ一体型）
- 【図12】 IDラベル等に用いられる薄膜集積回路装置の断面図（アンテナ一体型）
- 【図13】 本発明に用いられる薄膜集積回路装置内のCPU、メモリの作製工程図
- 【図14】 本発明に用いられる薄膜集積回路装置内のCPU、メモリの作製工程図
- 【図15】 本発明に用いられる薄膜集積回路装置内のCPU、メモリの作製工程図
- 【図16】 本発明に用いられる薄膜集積回路装置内のCPU、メモリの作製工程図
- 【図17】 薄膜集積回路装置の素子分離方法を示す図（ドライエッチング）
- 【図18】 種々の被剥離基板について説明する図
- 【図19】 薄膜集積回路装置の剥離方法を示す図（トレイ利用）
- 【図20】 薄膜集積回路装置の剥離方法を示す図（トレイ兼基板利用）
- 【図21】 減圧CVD装置の概略図
- 【図22】 アンテナ基板を折り畳む場合について説明する図
- 【図23】 アンテナ基板を折り畳む場合における薄膜集積回路装置の作製工程図
- 【図24】 IDチップを商品基体に貼り付ける方法を説明する図（選択的UV照射）
- 【図25】 IDチップと保護膜との位置関係を説明する図
- 【図26】 TFTのS/C/D領域形成方向と商品基体の曲げ方向との関係を示す図
- 【図27】 本発明に係るIDラベルIDカードの構成を示すブロック図
- 【図28】 本発明に係るIDラベルの積層構造を示す斜視図（入力用、出力用アンテナ）
- 【図29】 薄膜集積回路装置内のCPUの構成を説明するブロック図
- 【図30】 リーダ/ライタの一例を説明する図
- 【図31】 店内における商品購入の一例を説明する図
- 【図32】 生産者（製造者）、販売者、消費者との関係を示す図
- 【図33】 手荷物検査時においてIDタグを付した物品の検査方法を説明する図
- 【図34】 本発明に係る物品の一例を説明する図
- 【図35】 本発明に係るIDラベル等を付した商品の一例を説明する図
- 【図36】 本発明に用いられる薄膜集積回路装置の回路図

【符号の説明】

【0262】

- 13、410：薄膜集積回路装置
- 37a：カード上部基体
- 37b：カード下部基体
- 20、411：IDラベル

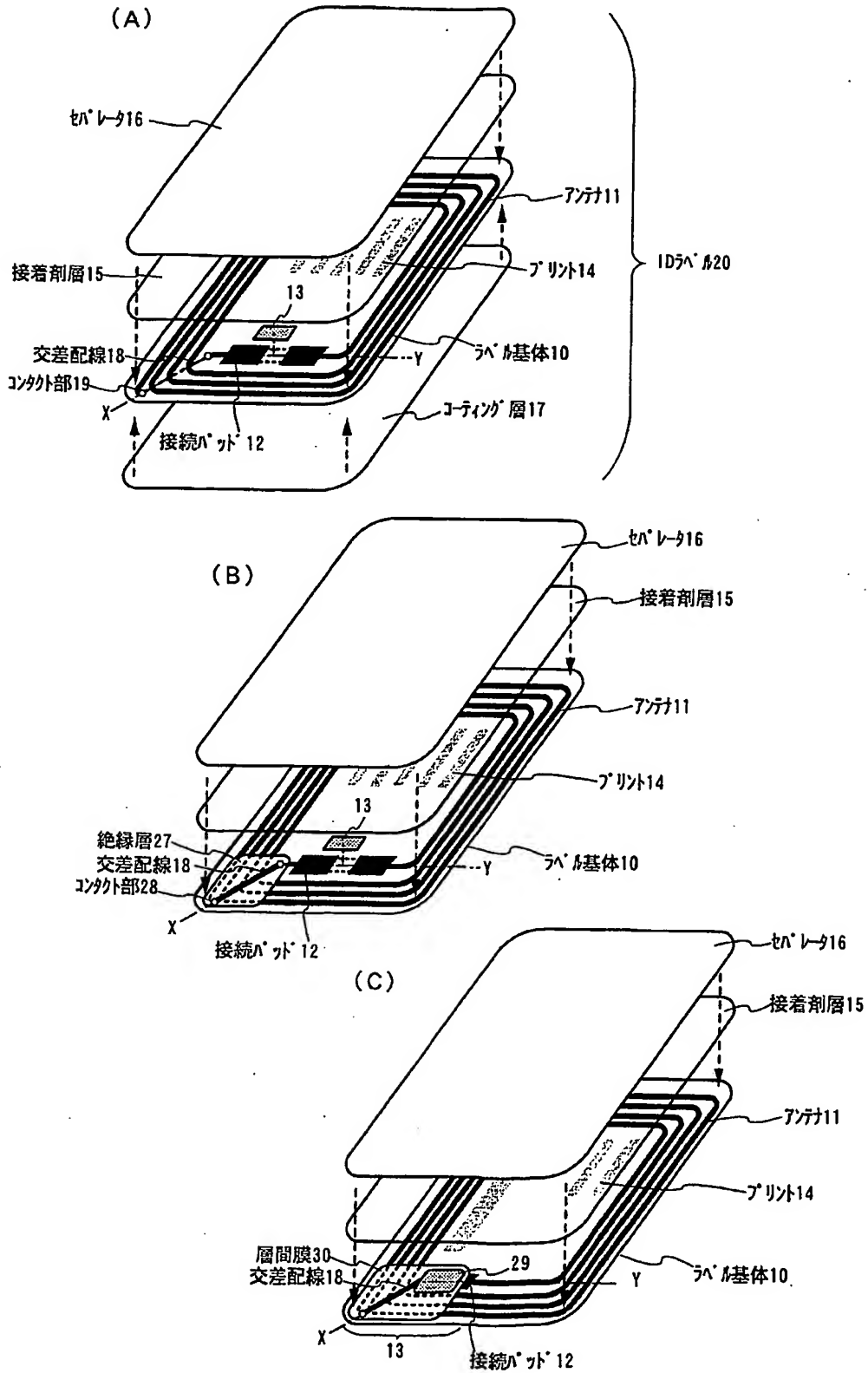
特願2004-015449

ページ: 35/E

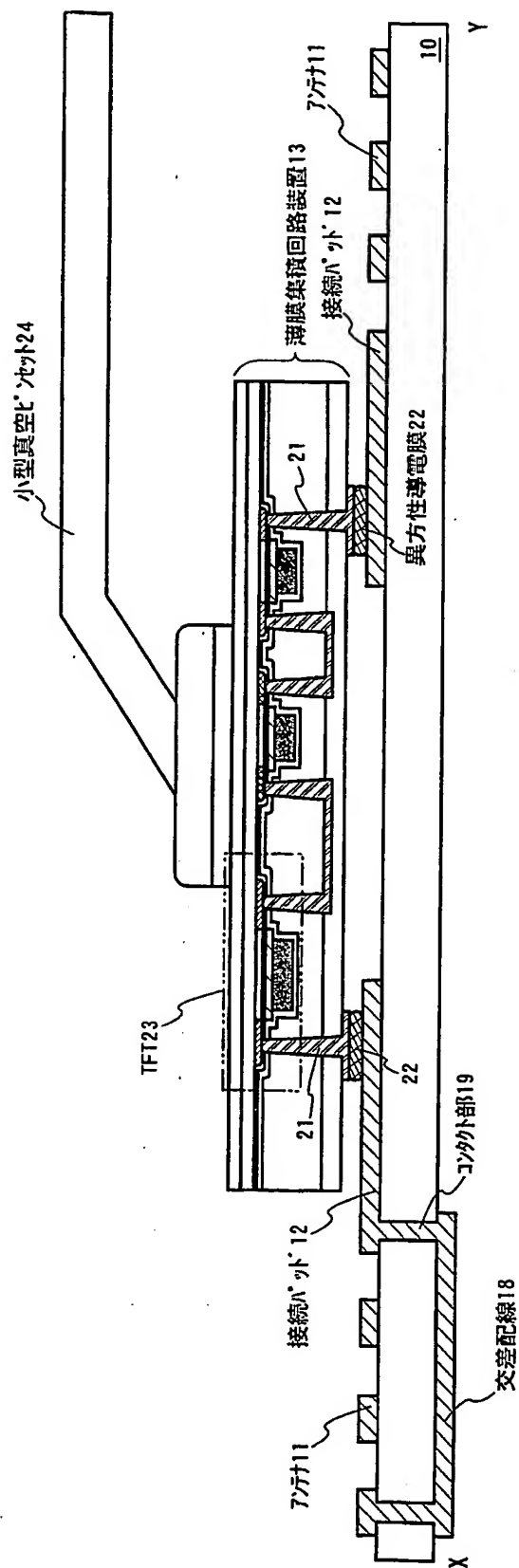
出証特2005-3015072



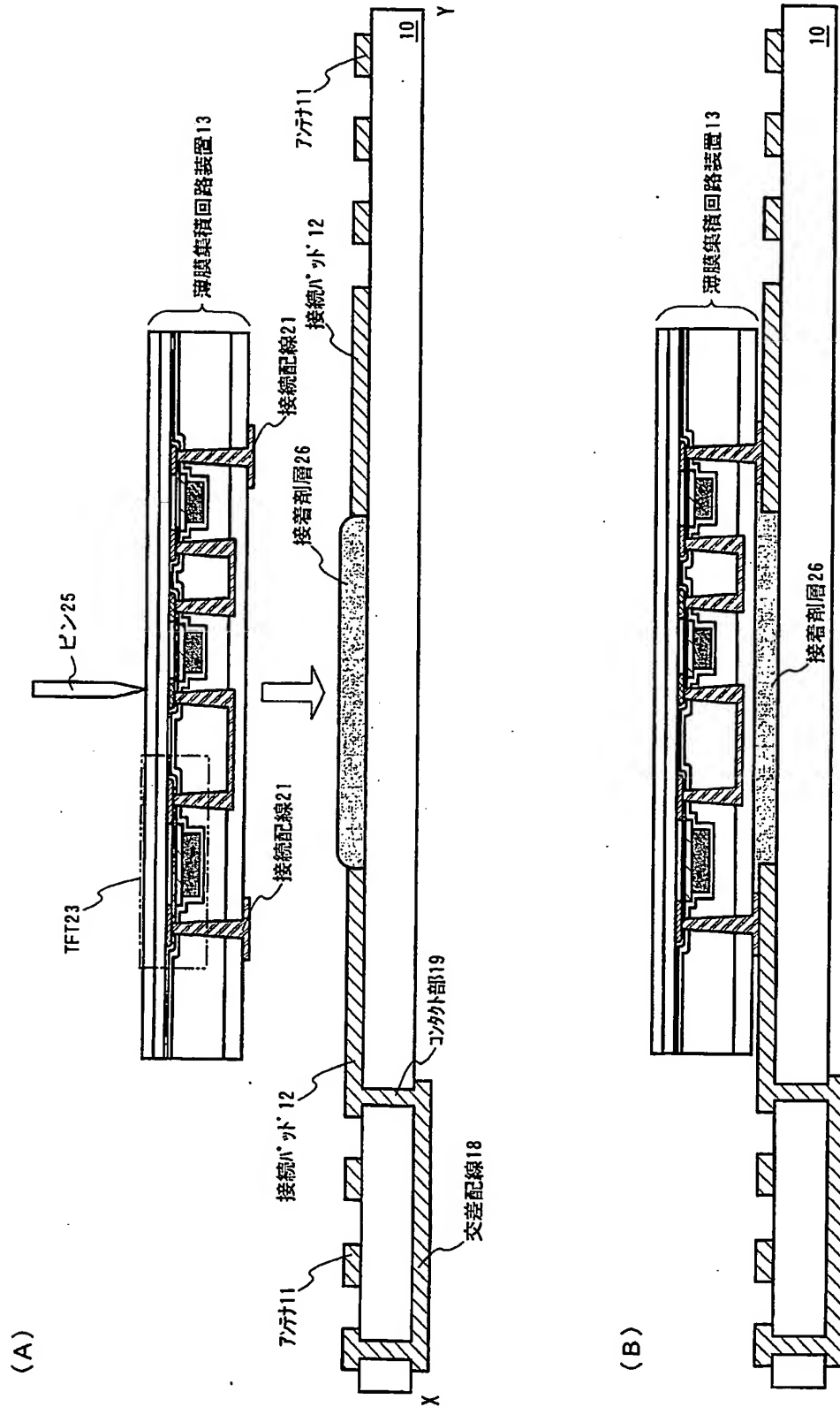
【書類名】図面  
【図1】



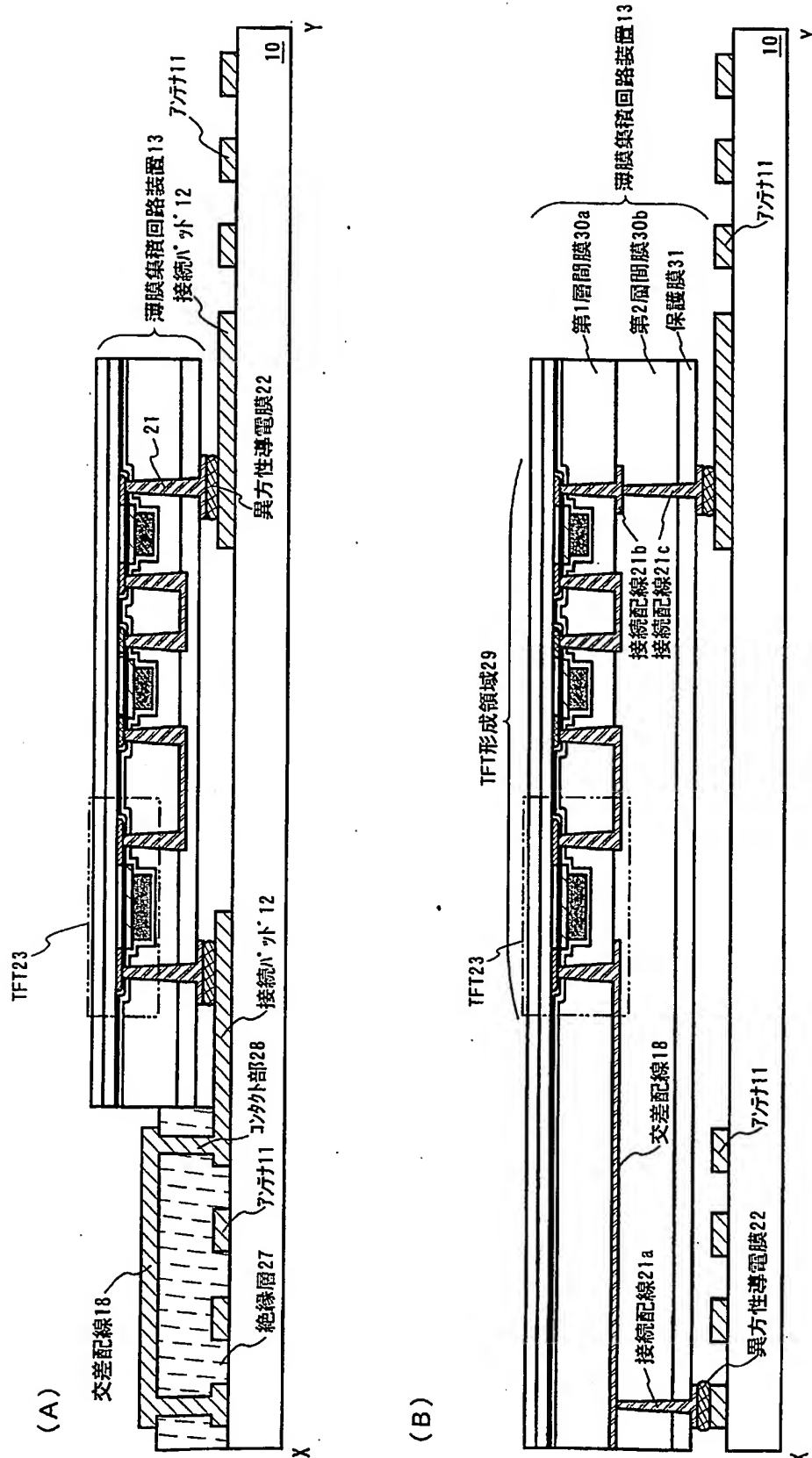
【図2】



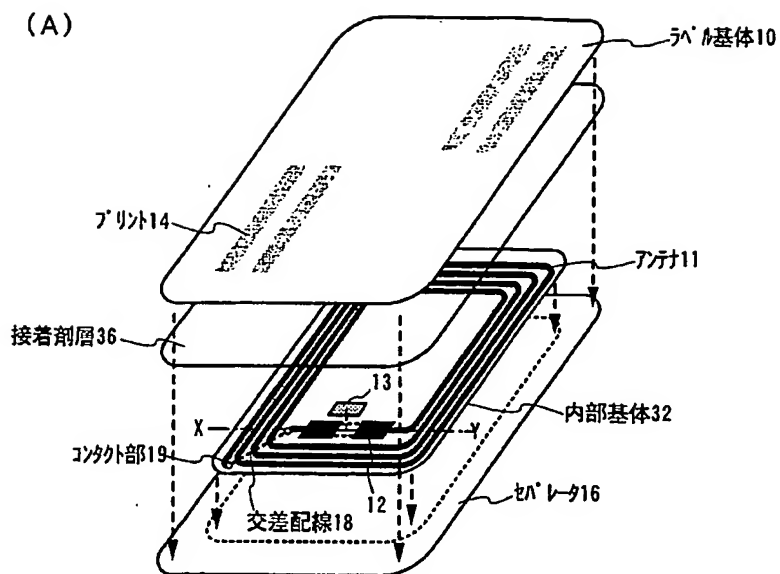
【図3】



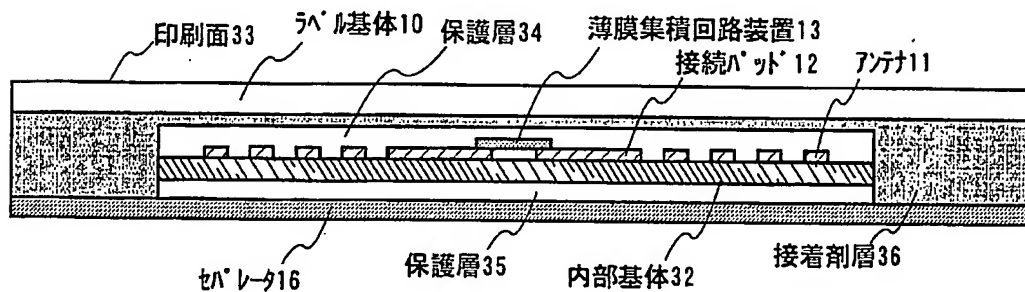
【図 4】



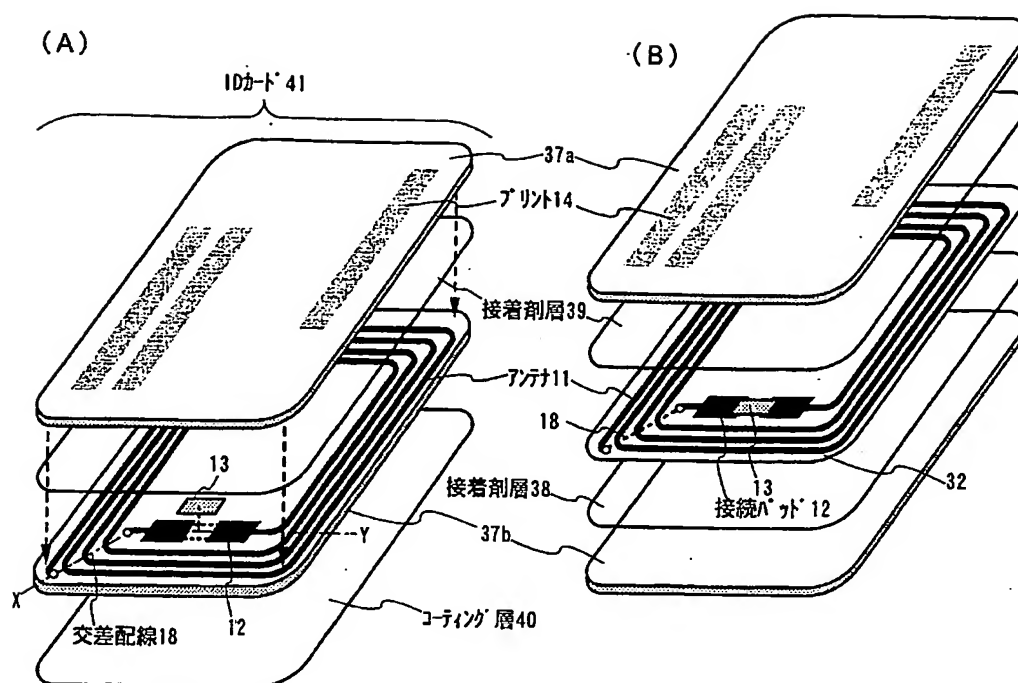
【図5】



(B) 完成品の拡大図(Y方向断面)

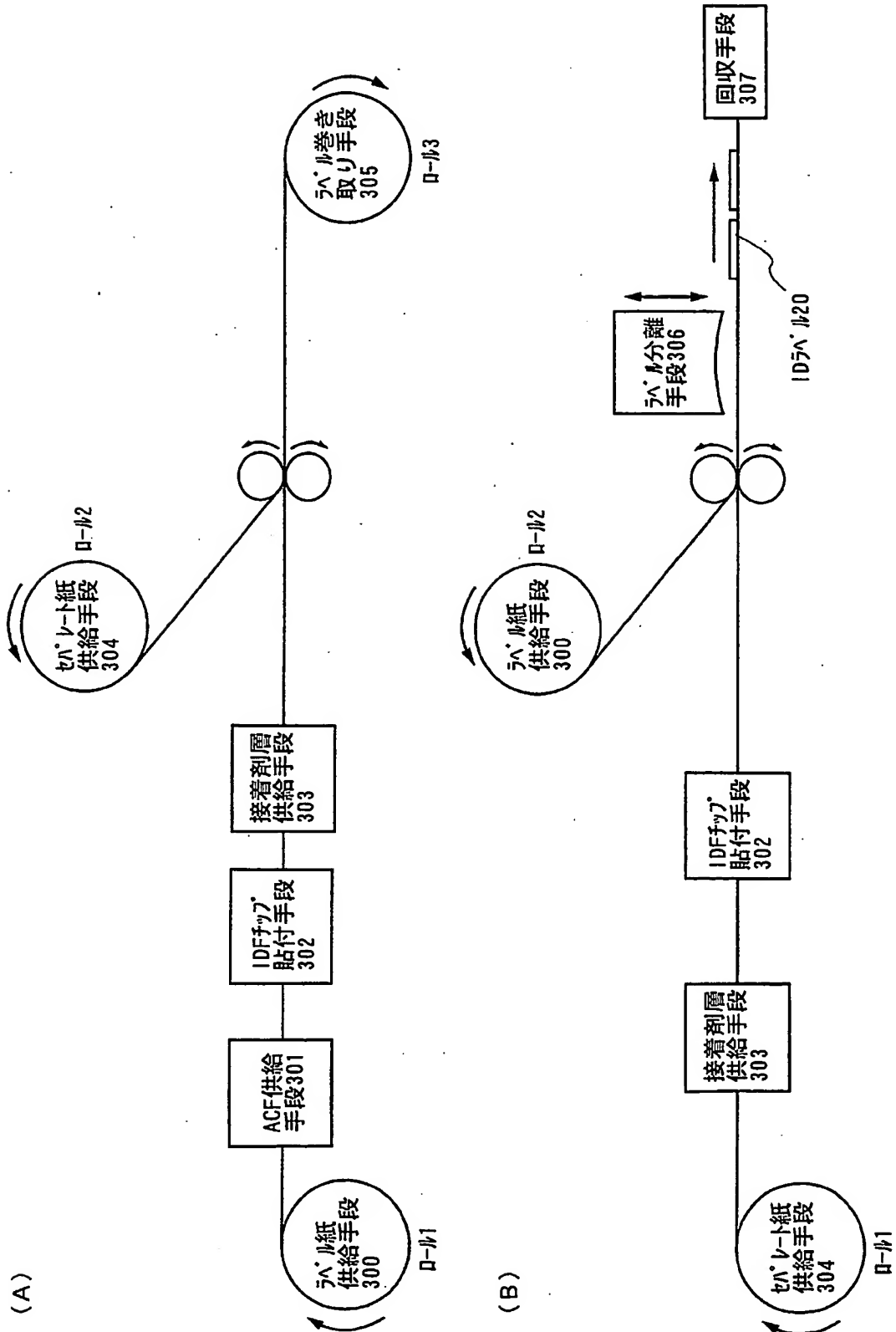


【図 6】



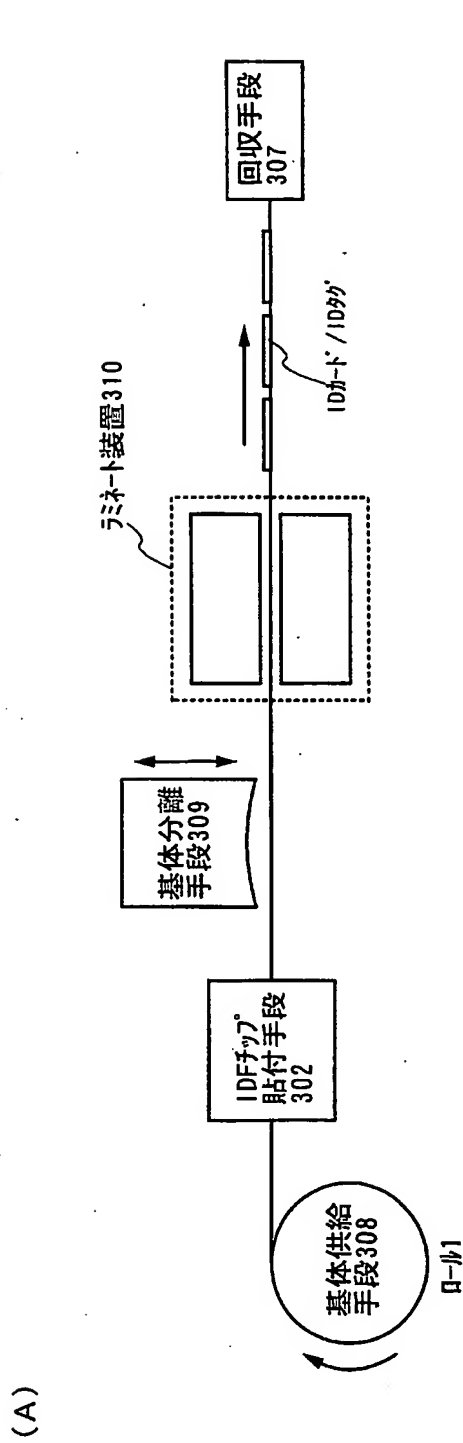


【図8】

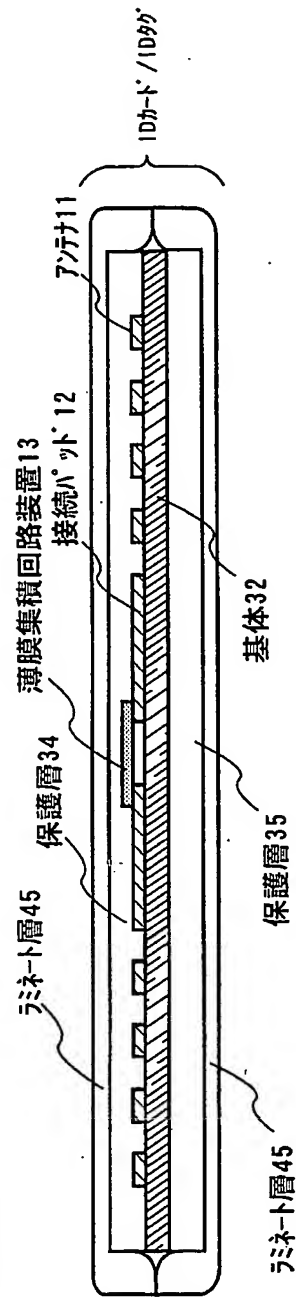




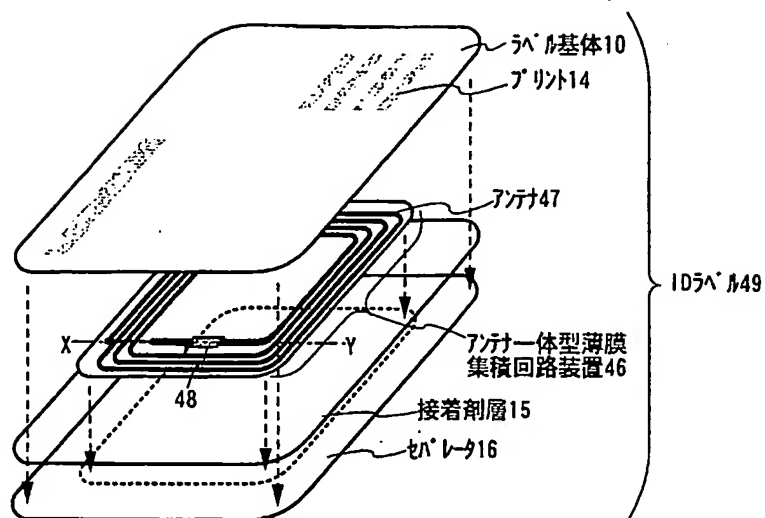
【図9】



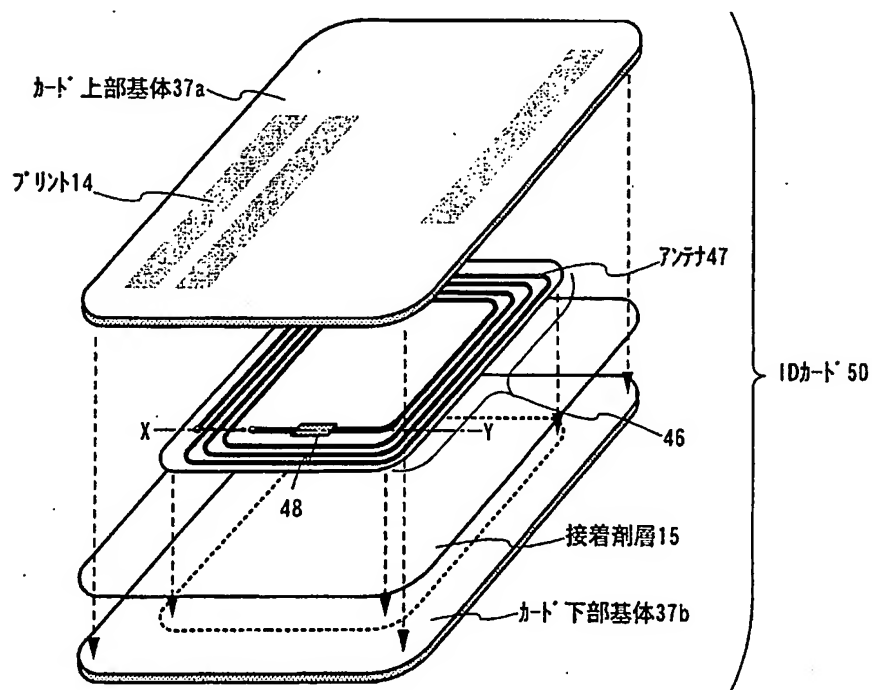
(B) 完成品の拡大図



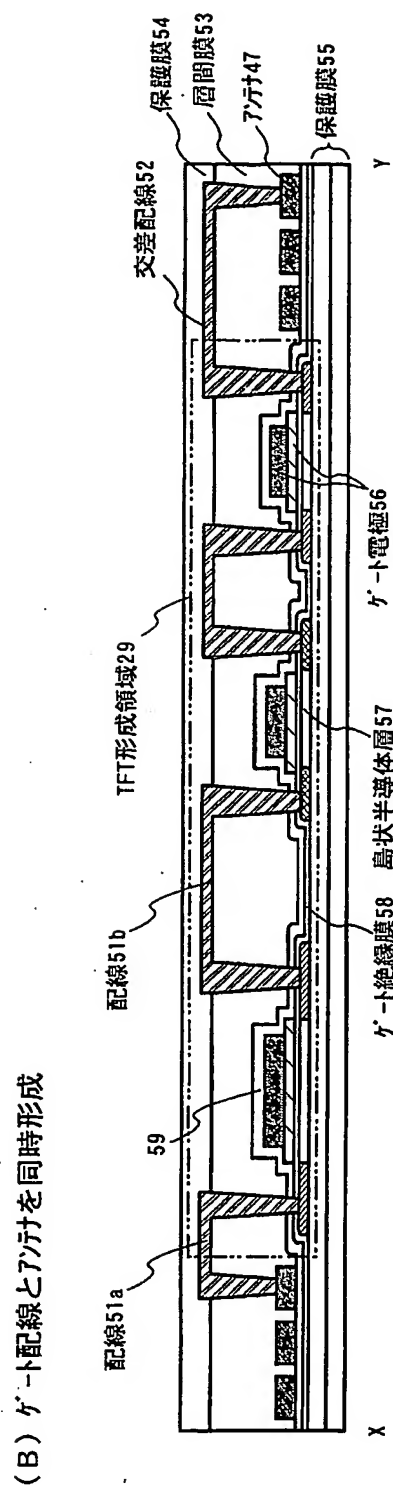
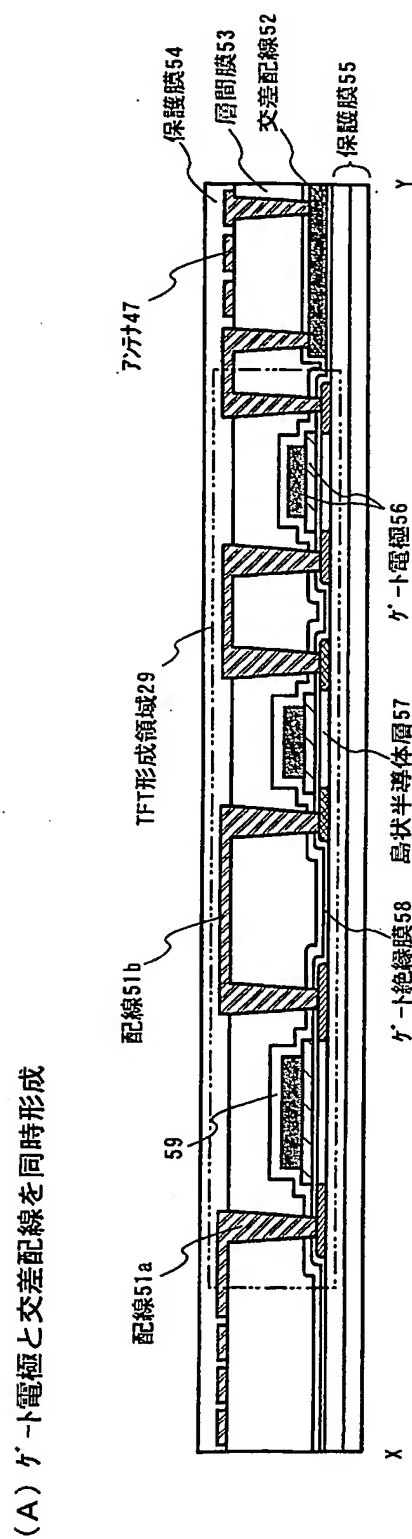
【図10】



【図11】

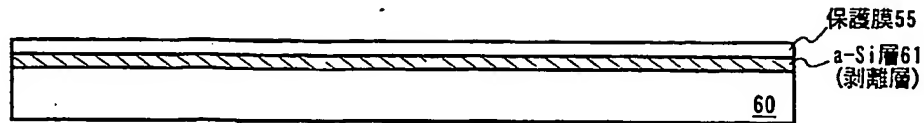


【圖 12】

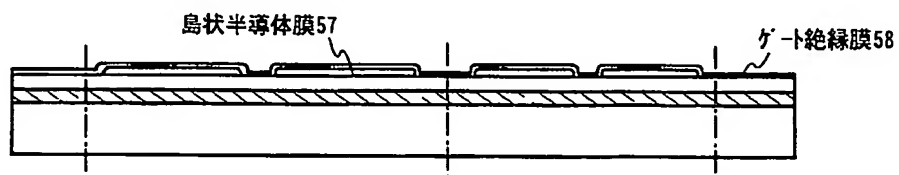


【図13】

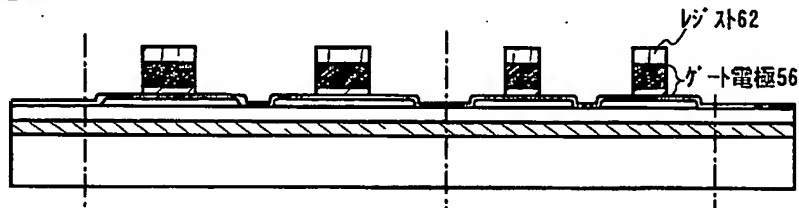
(A) 剥離層\下地膜形成



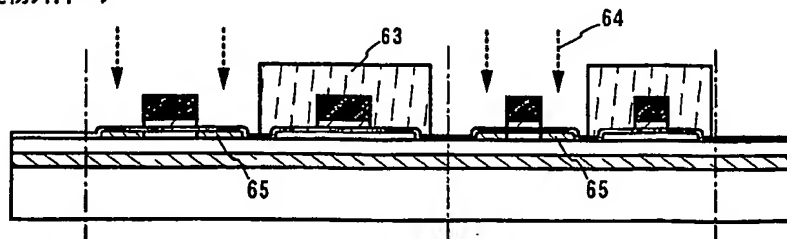
(B) 島状半導体膜\ゲート絶縁膜形成



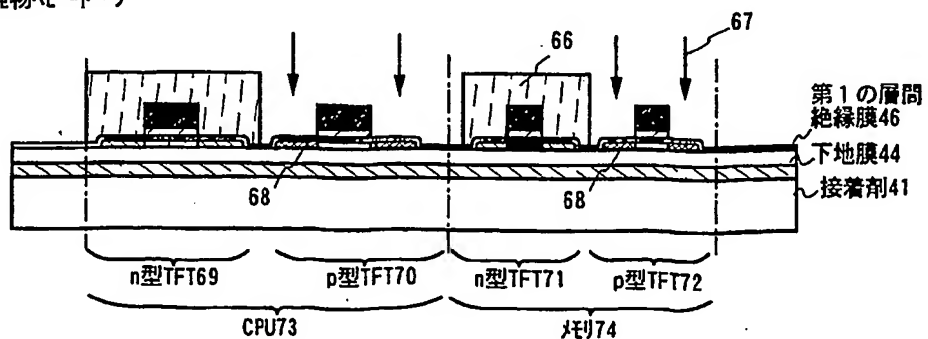
(C) ゲート電極層形成



(D) n型不純物ライトニング

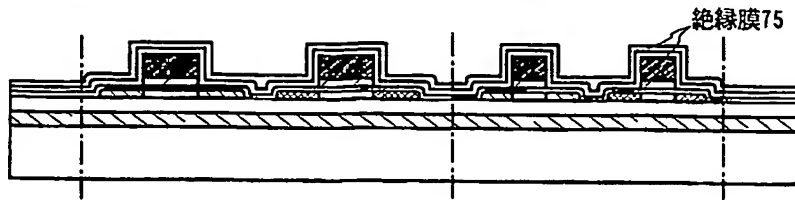


(E) p型不純物ライトニング

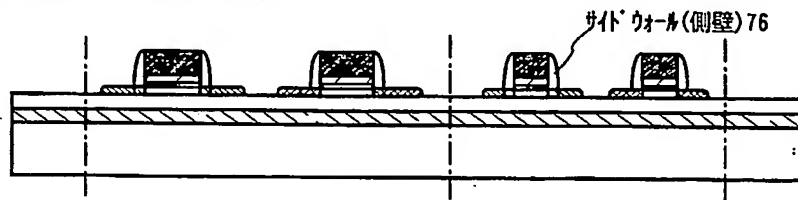


【図14】

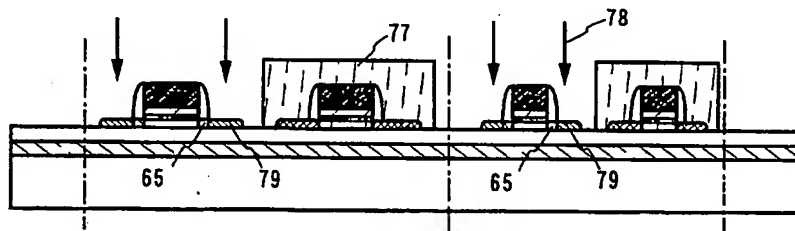
(F)第1の層間絶縁膜形成



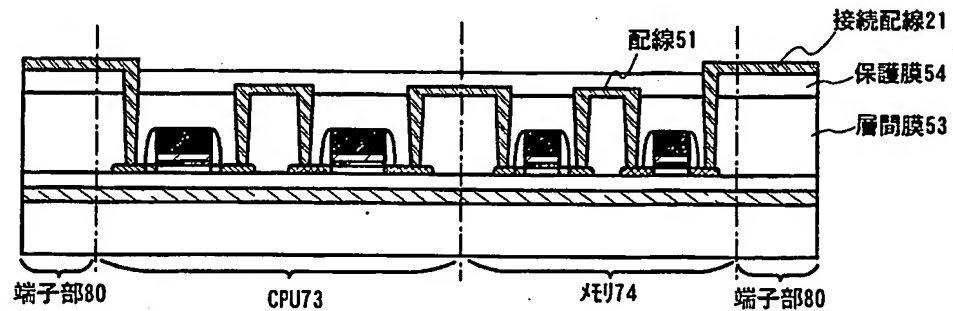
(G)層間絶縁膜エッチング（サイドウォール形成）



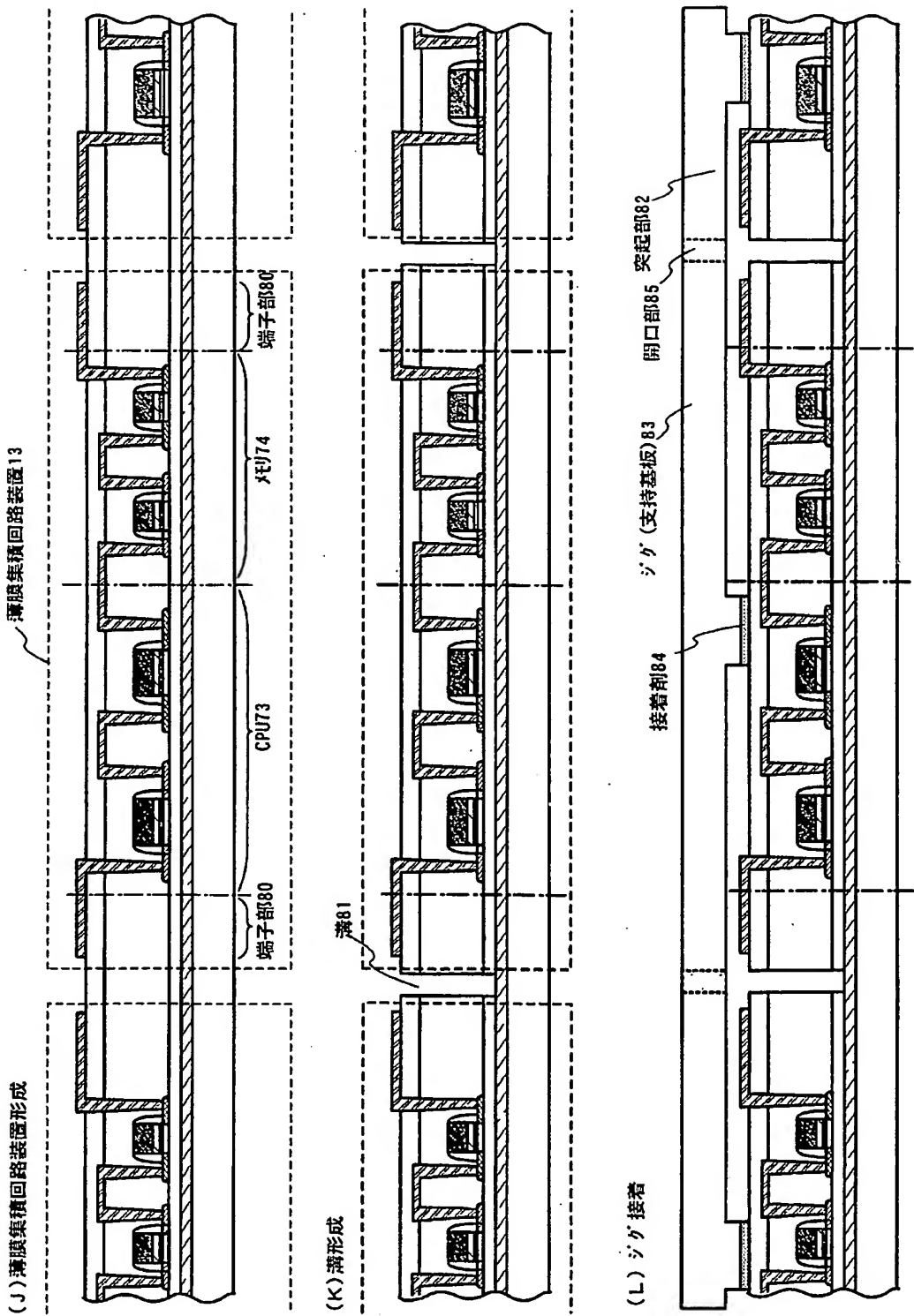
(H)n型不純物エッチング



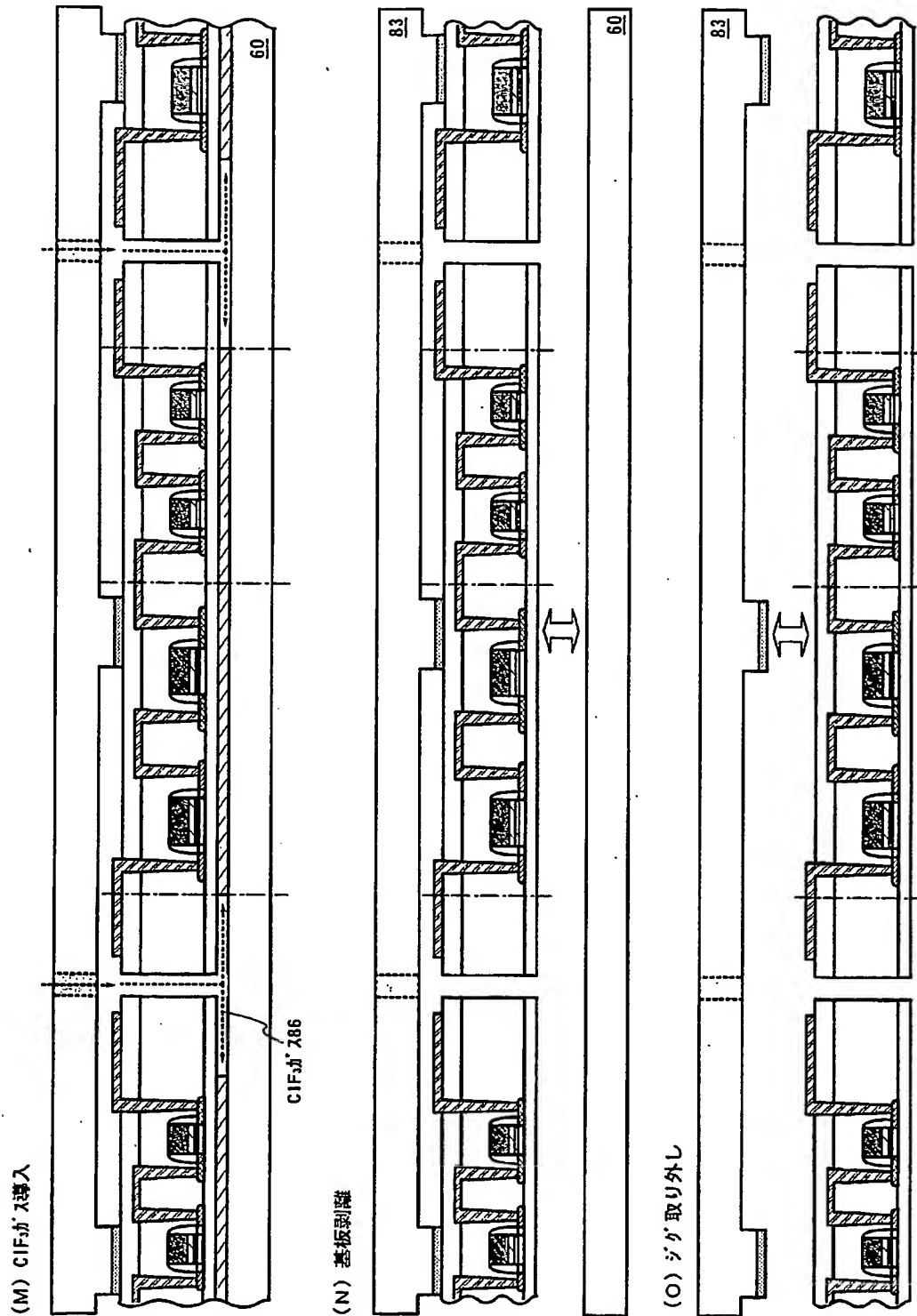
(I)層間膜\保護膜\配線形成



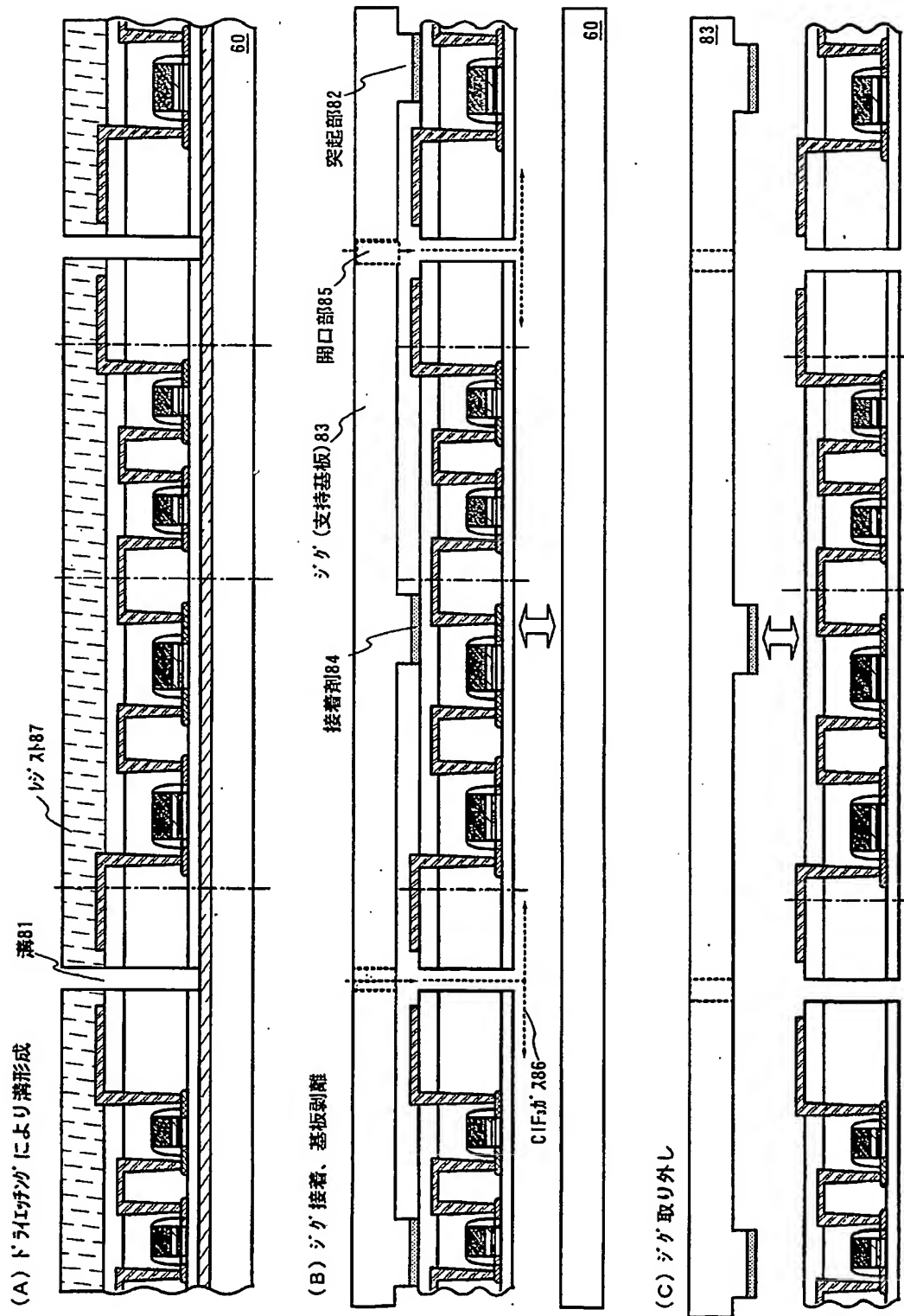
【図15】



【図16】



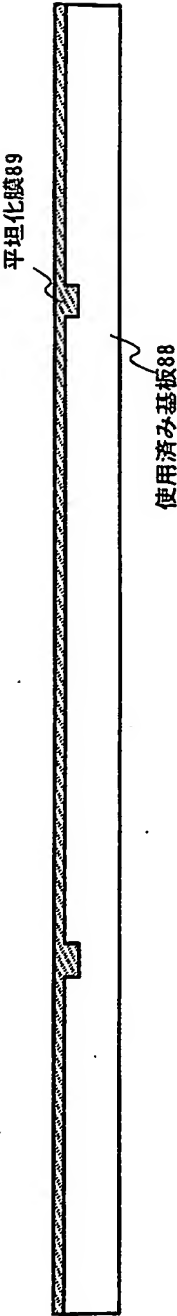
【図17】



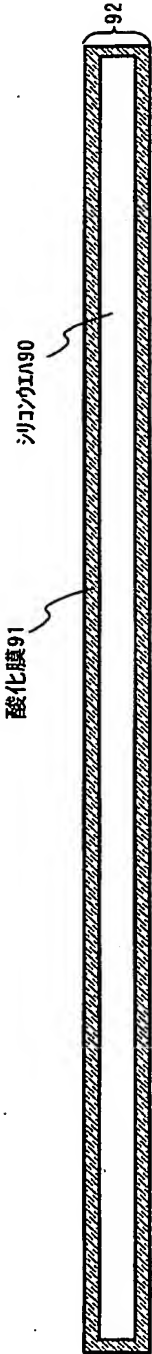


【図18】

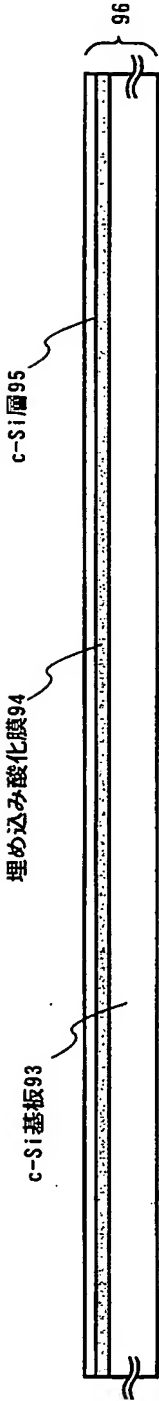
(A) 再利用基板 (平坦化処理済み基板)



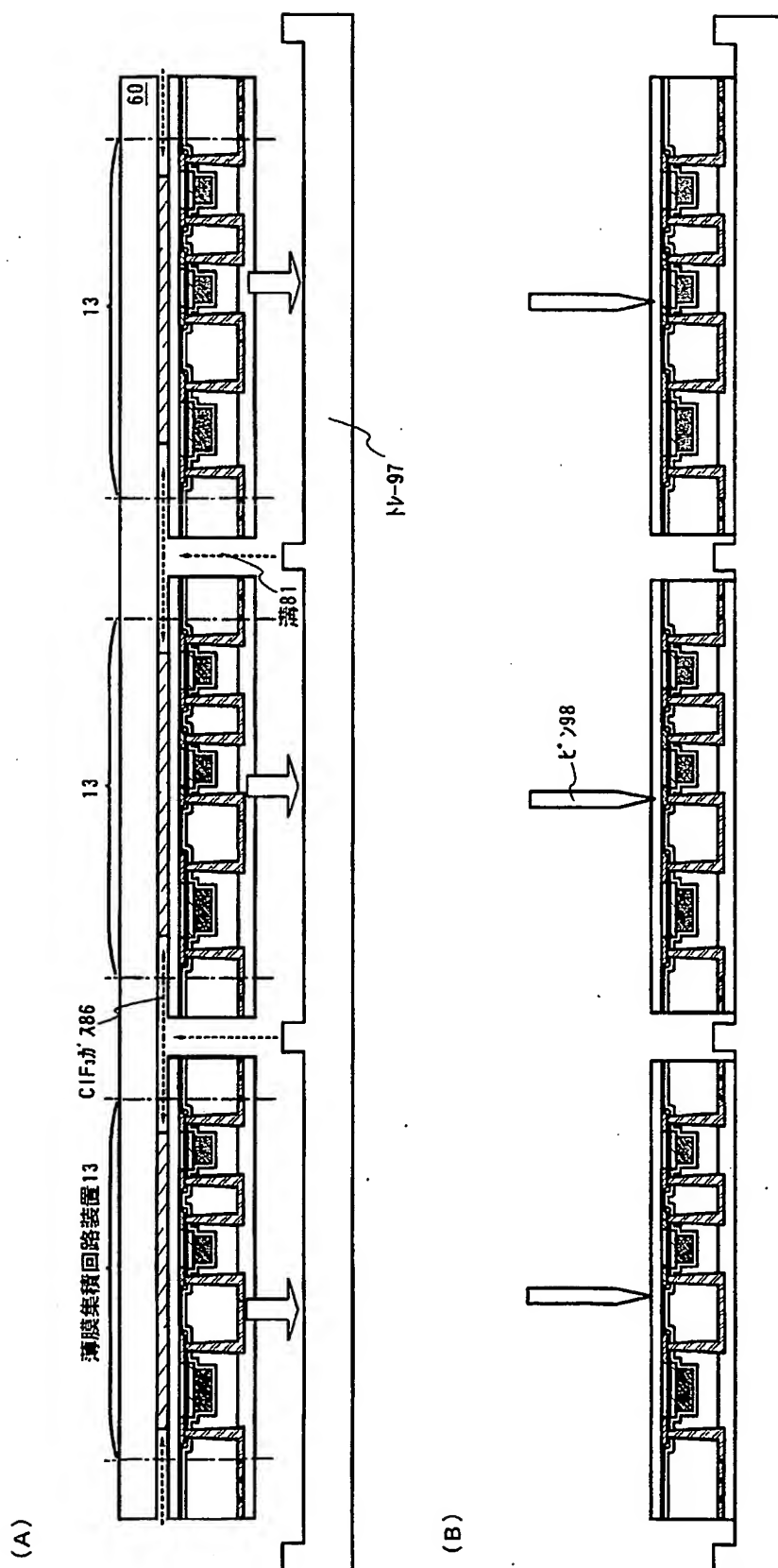
(B) 熱酸化シリコン基板



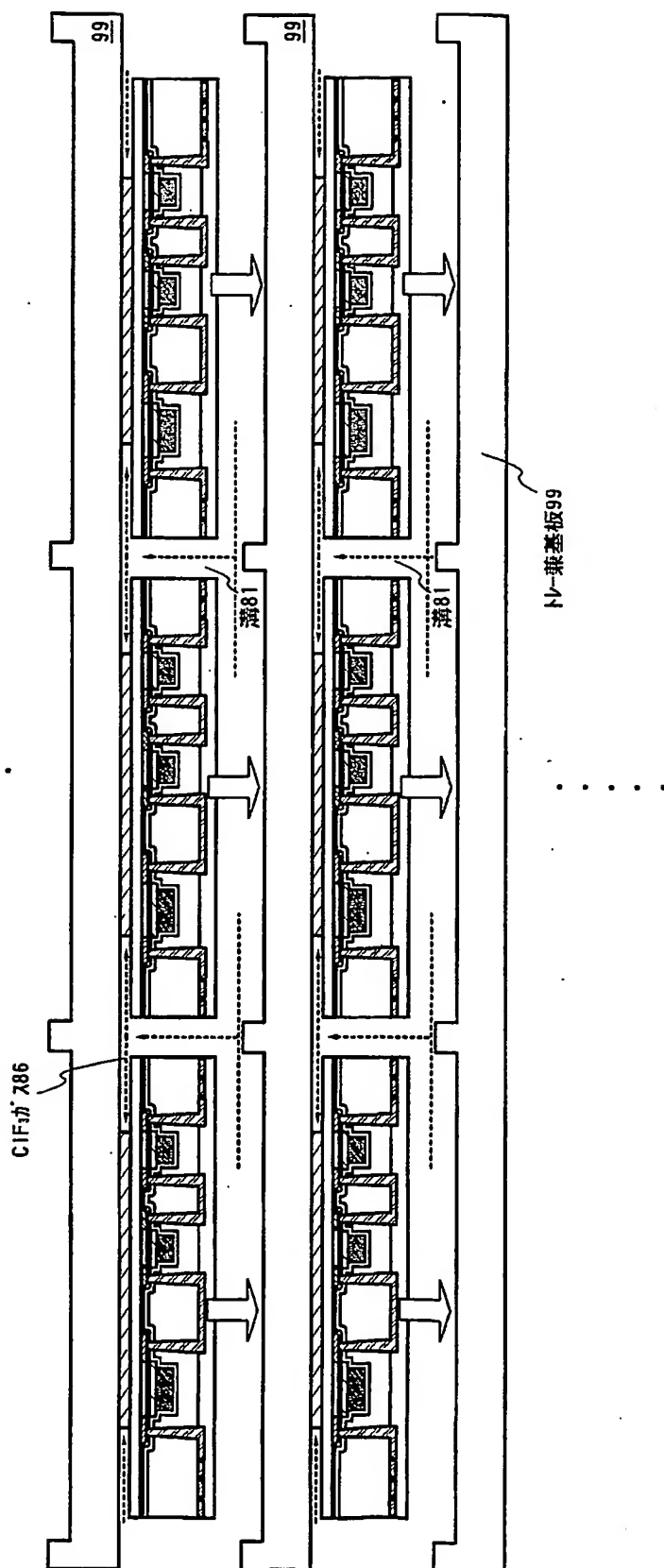
(C) SIMOX基板



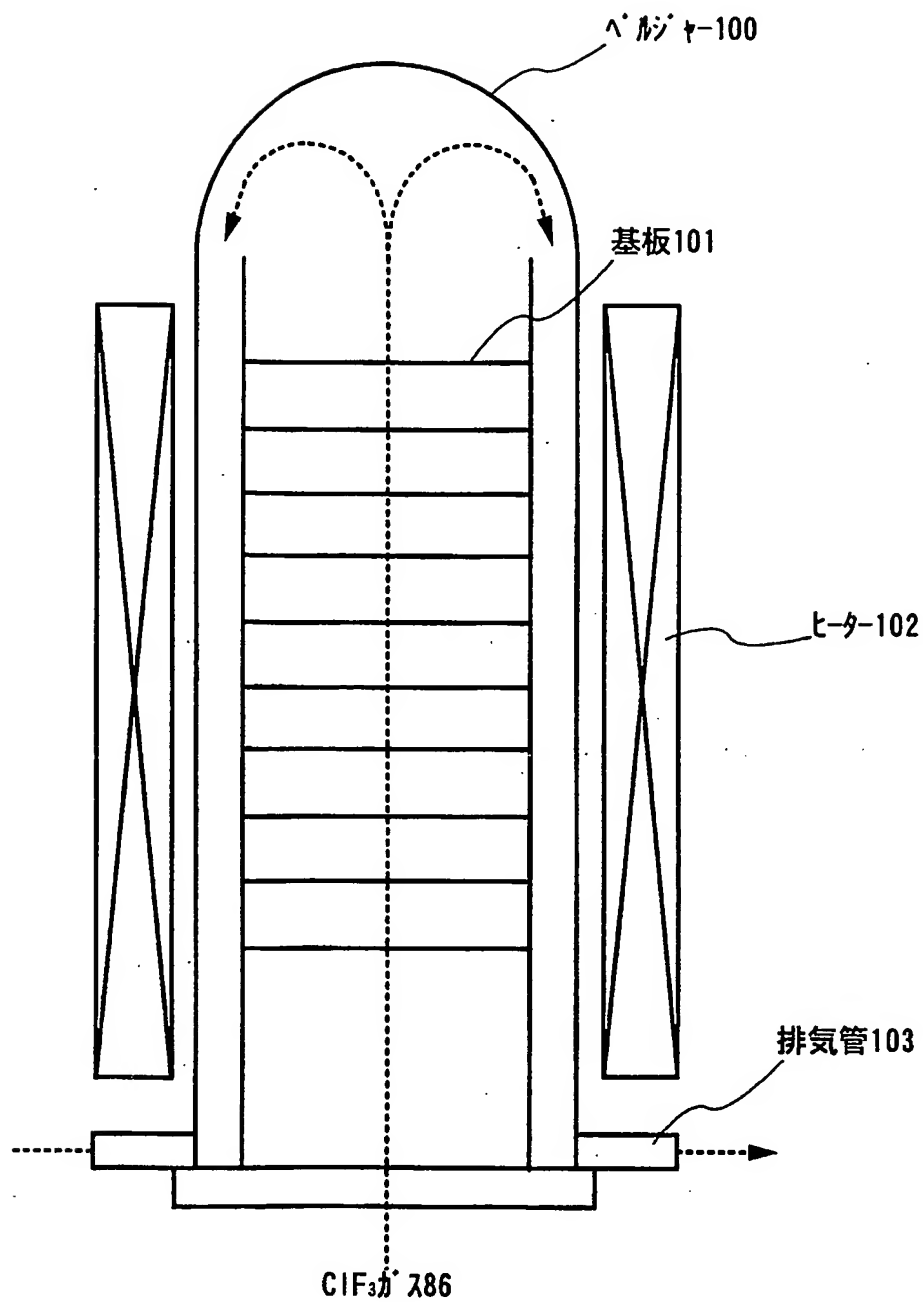
【图 19】



【図20】

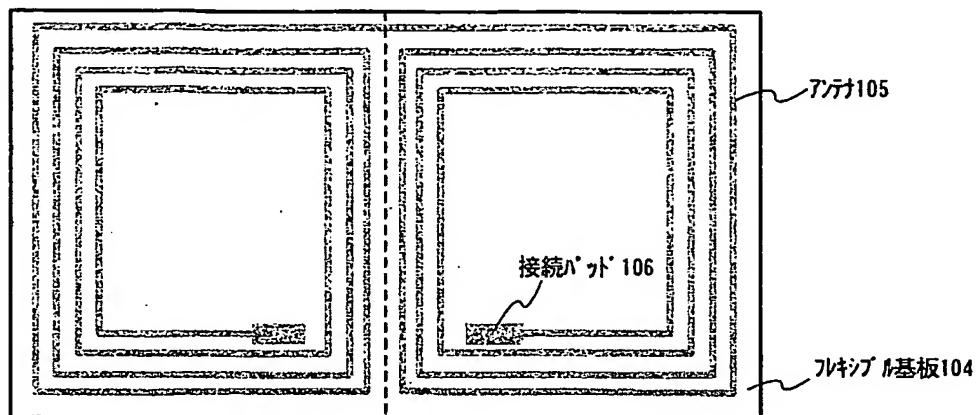


【図 21】

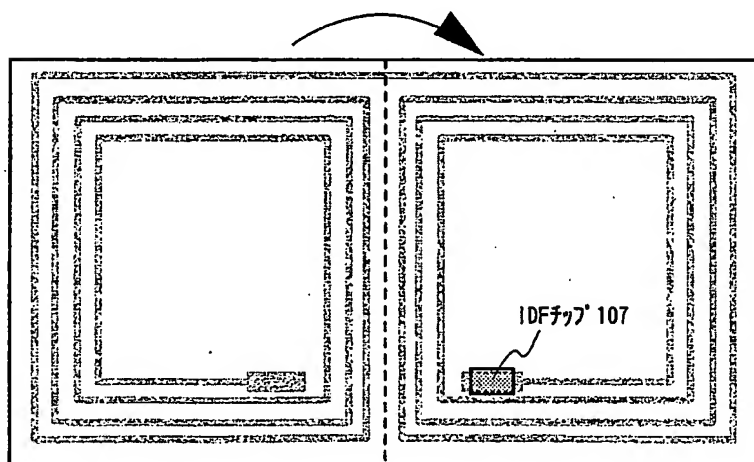


【図22】

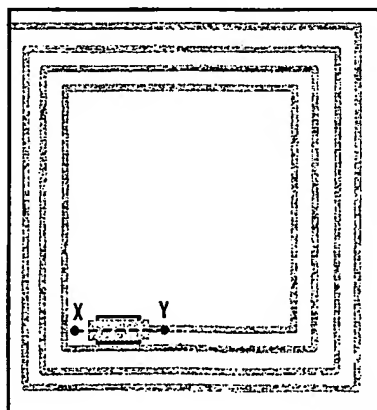
(A) アンテナ形成



(B) IDチップ貼り付け、アンテナ基板折り畳み

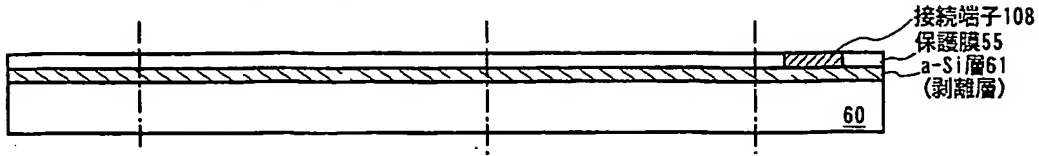


(C) IDチップ-アンテナ接続

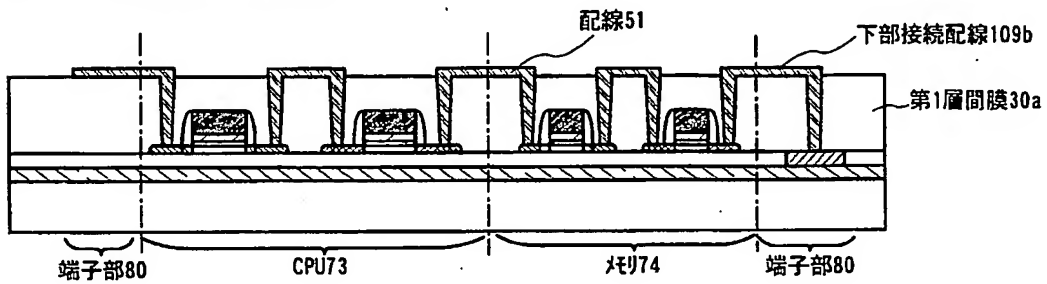


【図 23】

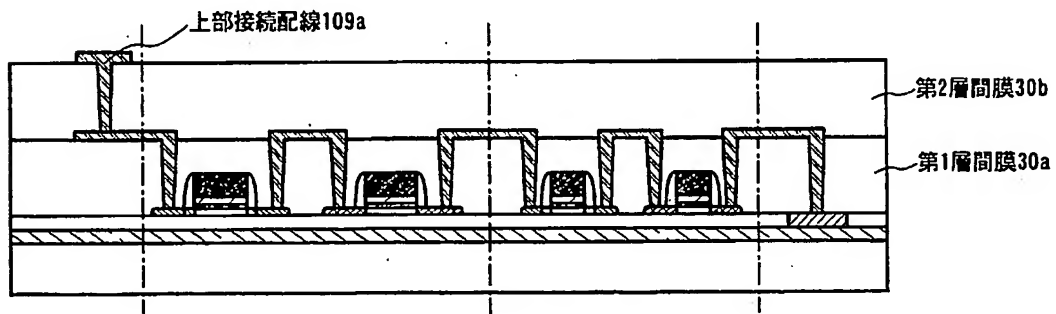
(A) 剥離層・下地膜・接続端子形成



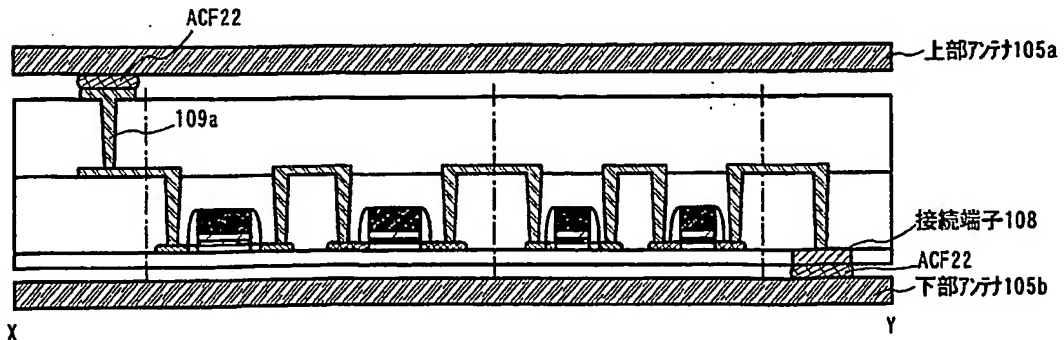
(B) TFT・第1層間膜・配線形成



(C) 第2層間膜・配線形成

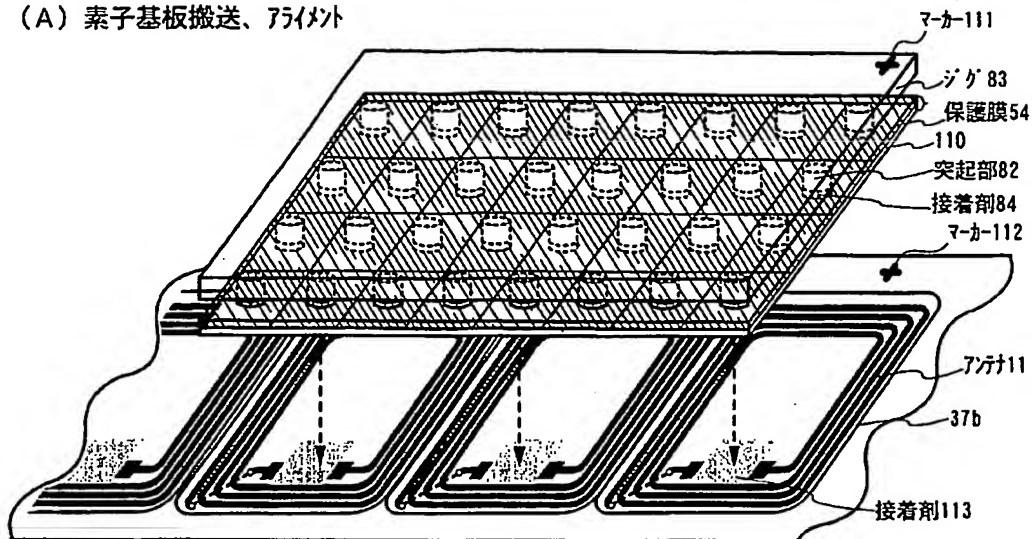


(D) 折り畳み型接続

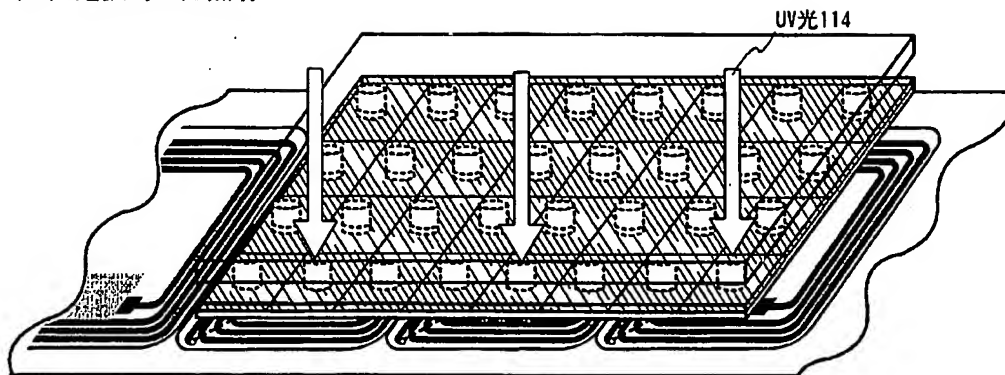


【図24】

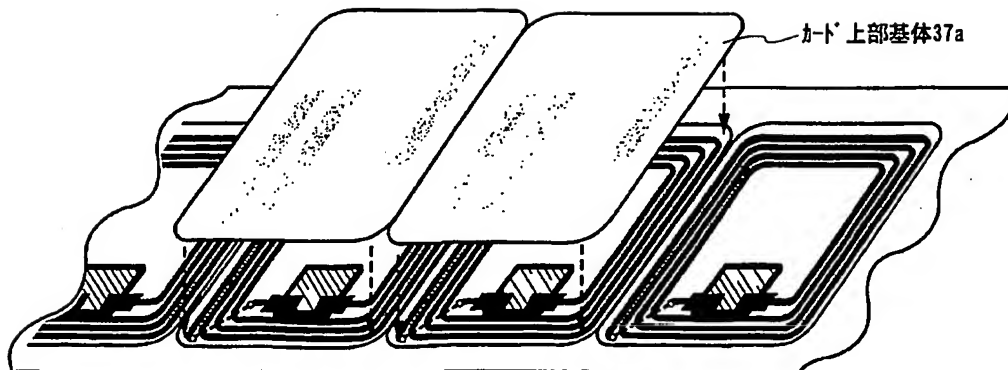
(A) 素子基板搬送、アライメント



(B) 選択的UV光照射

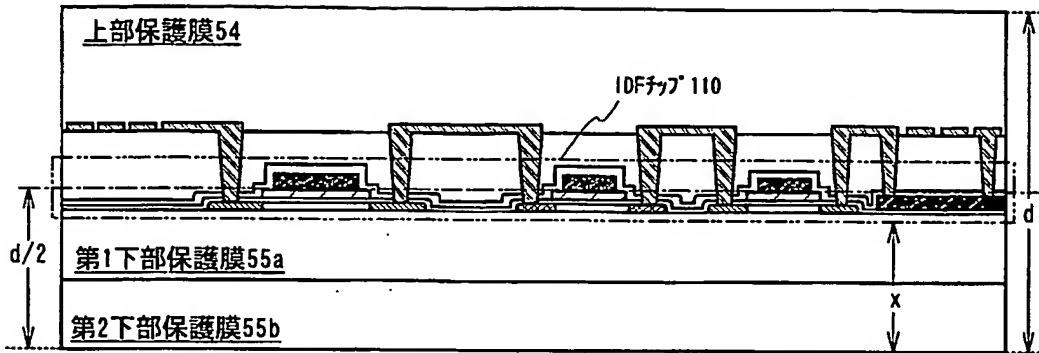


(C) IDFチップ貼り付け・カバー被覆

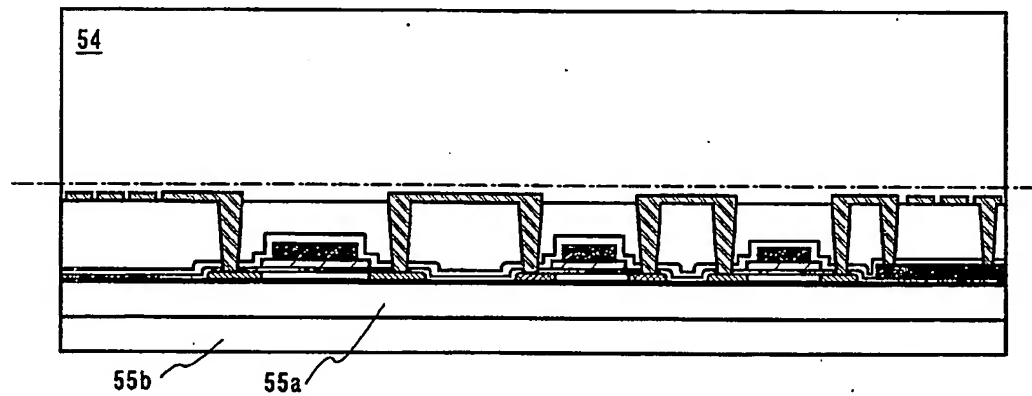


【図 25】

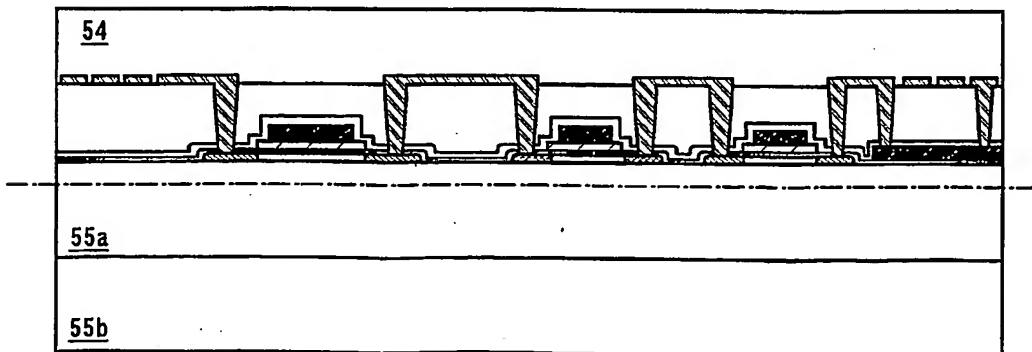
(A)



(B)

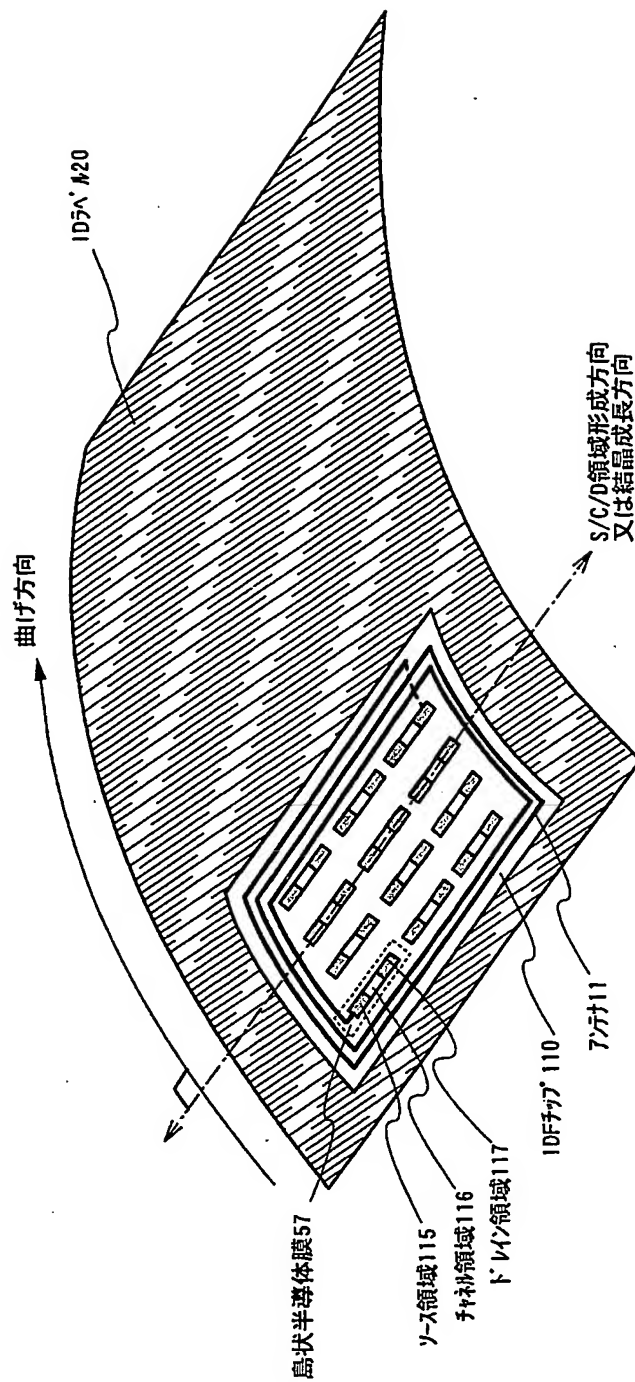


(C)

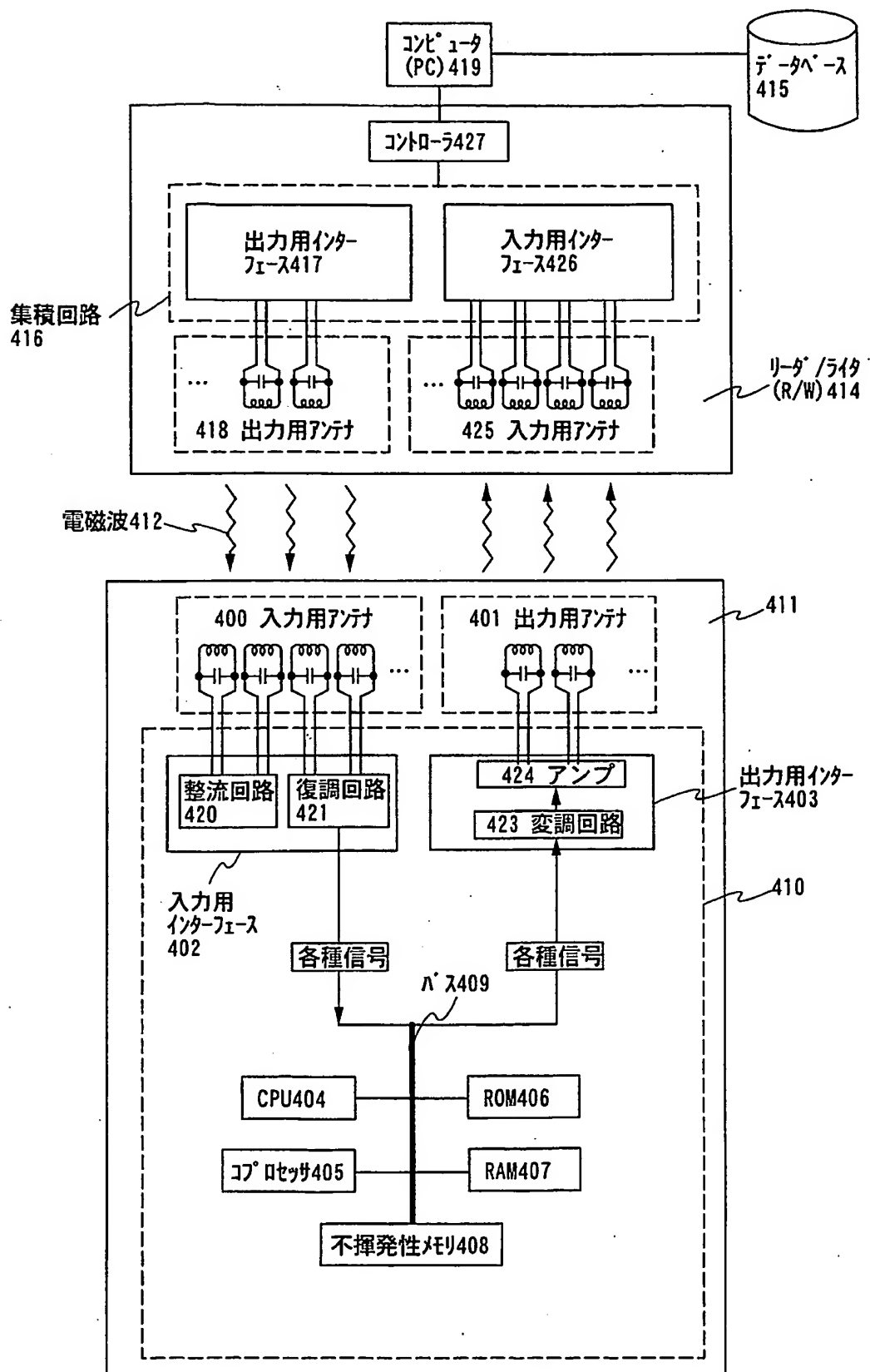




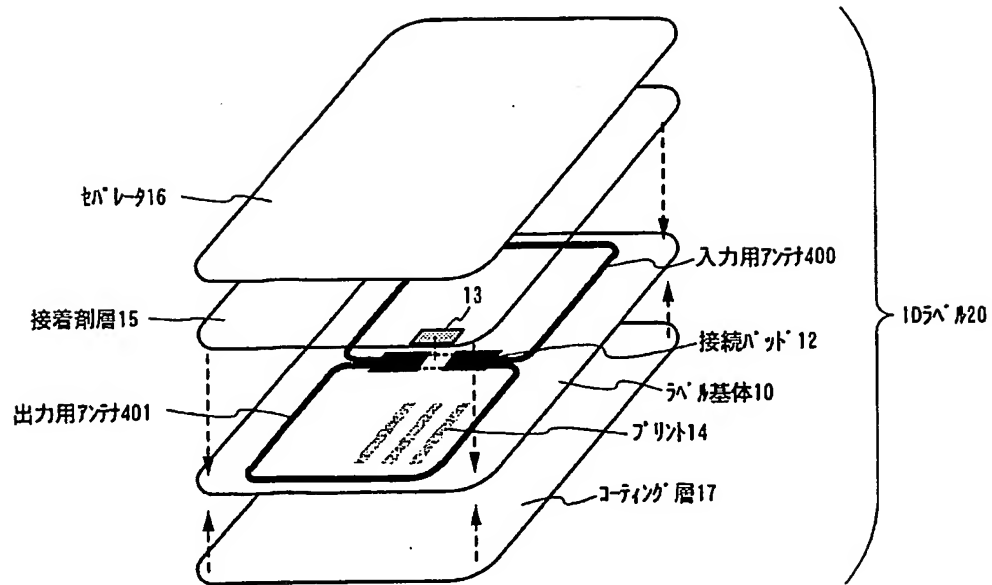
【図26】



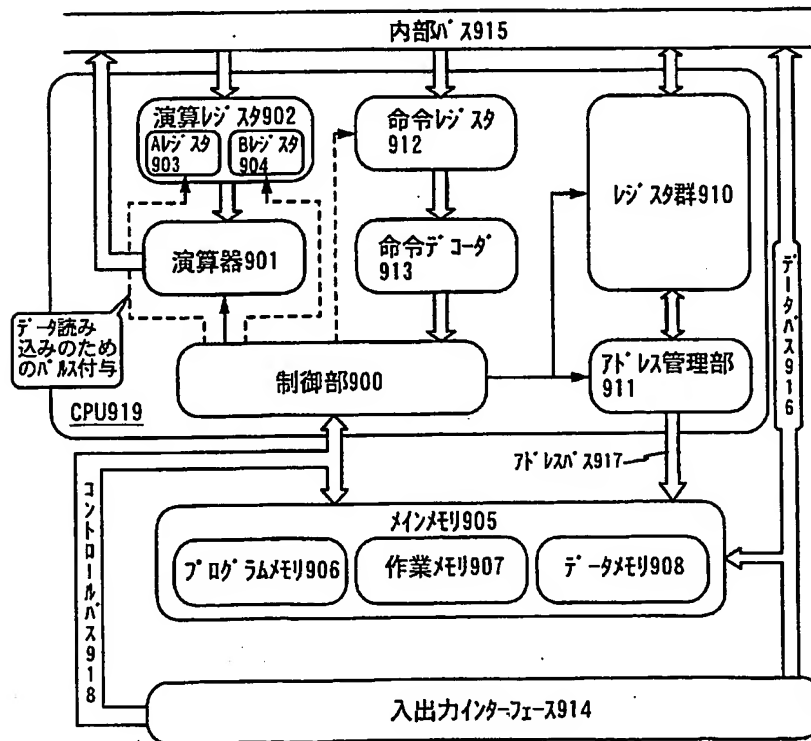
【図 27】



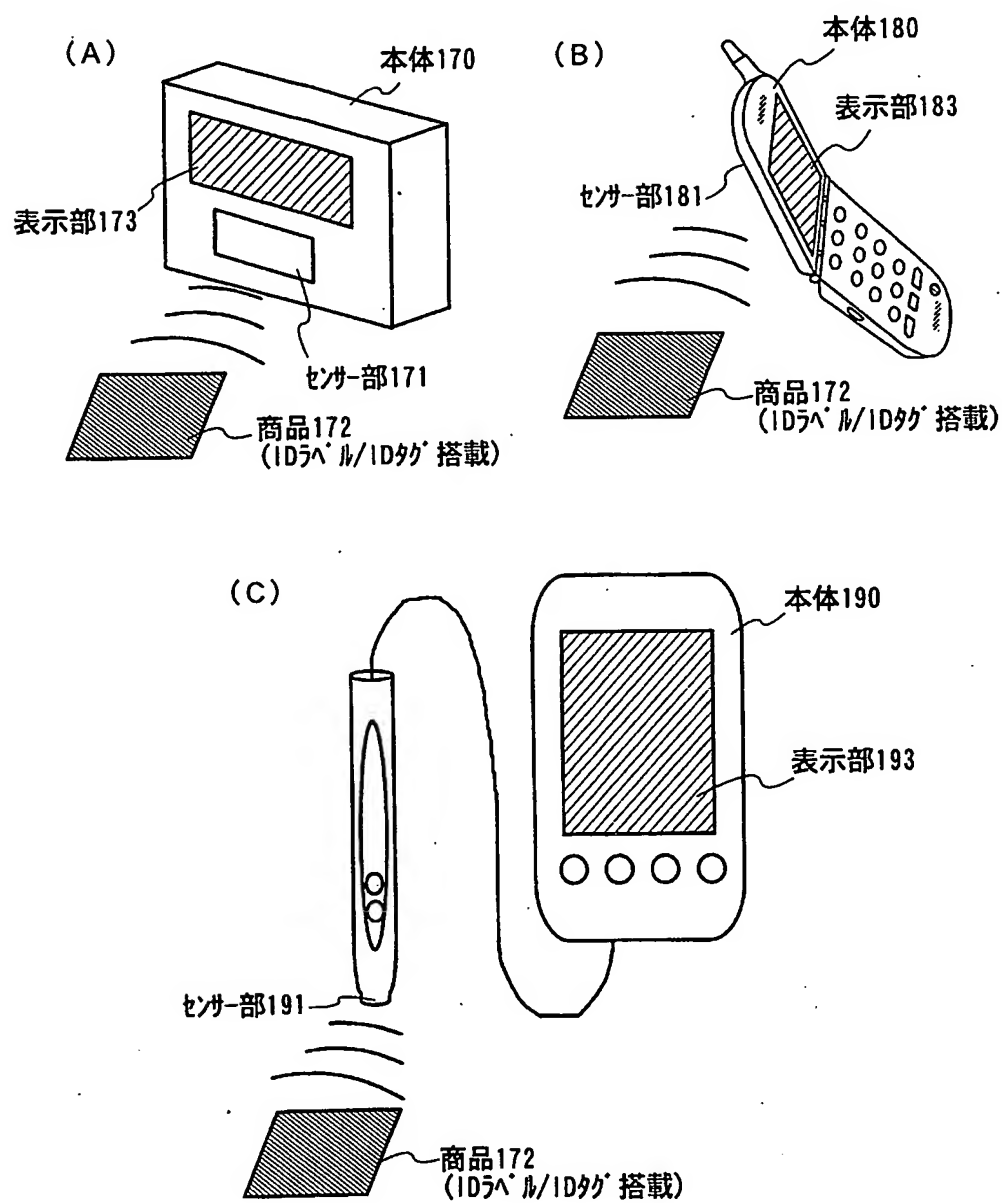
【図28】



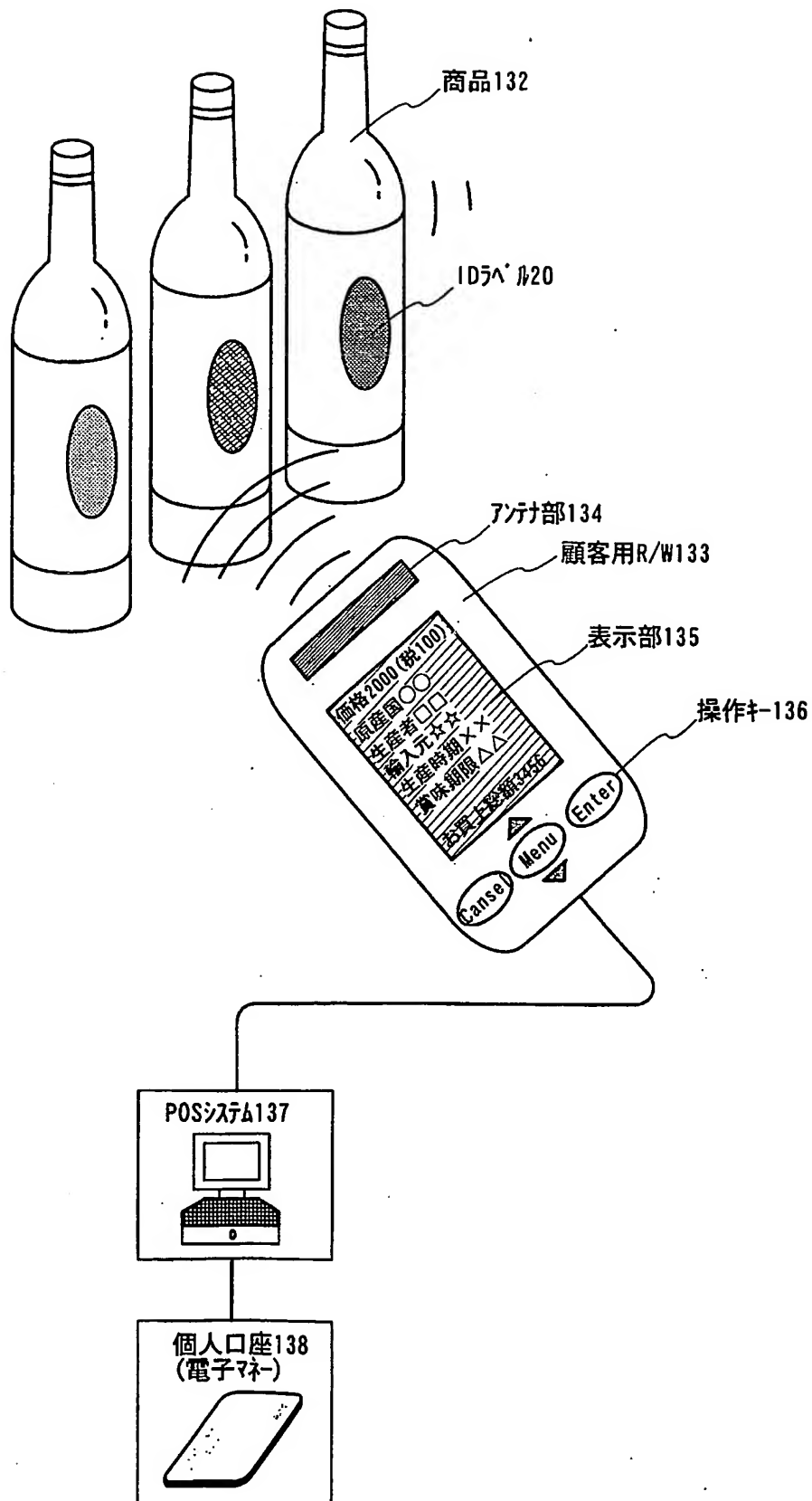
【図29】



【図 30】

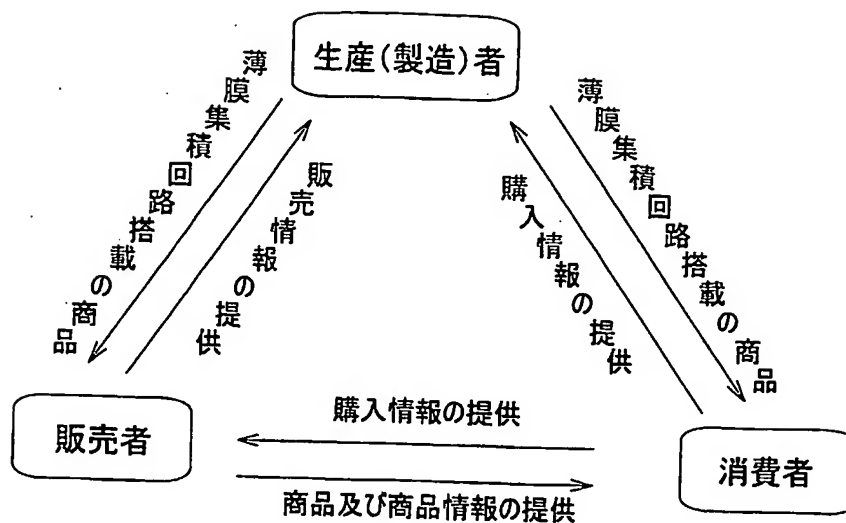


【図31】

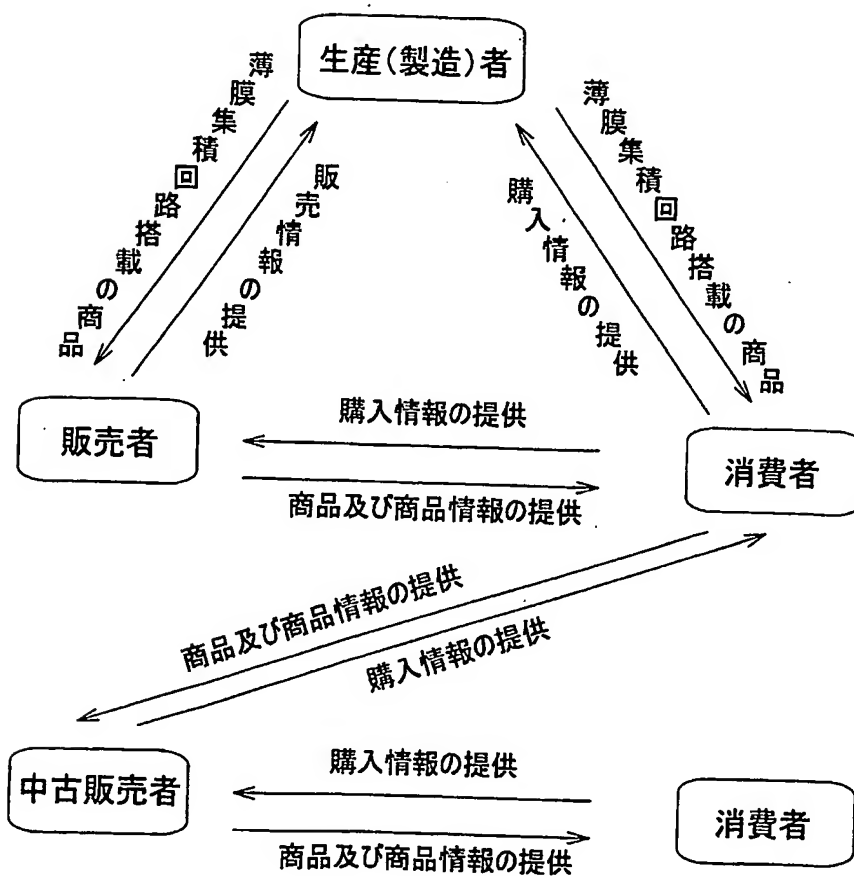


【図 3 2】

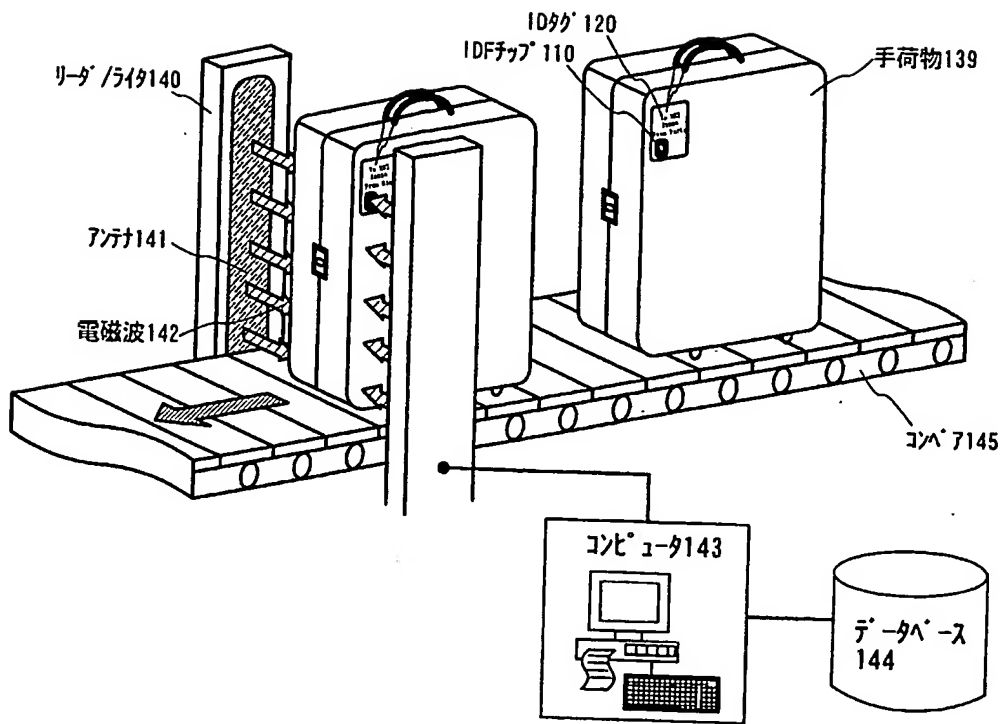
(A)



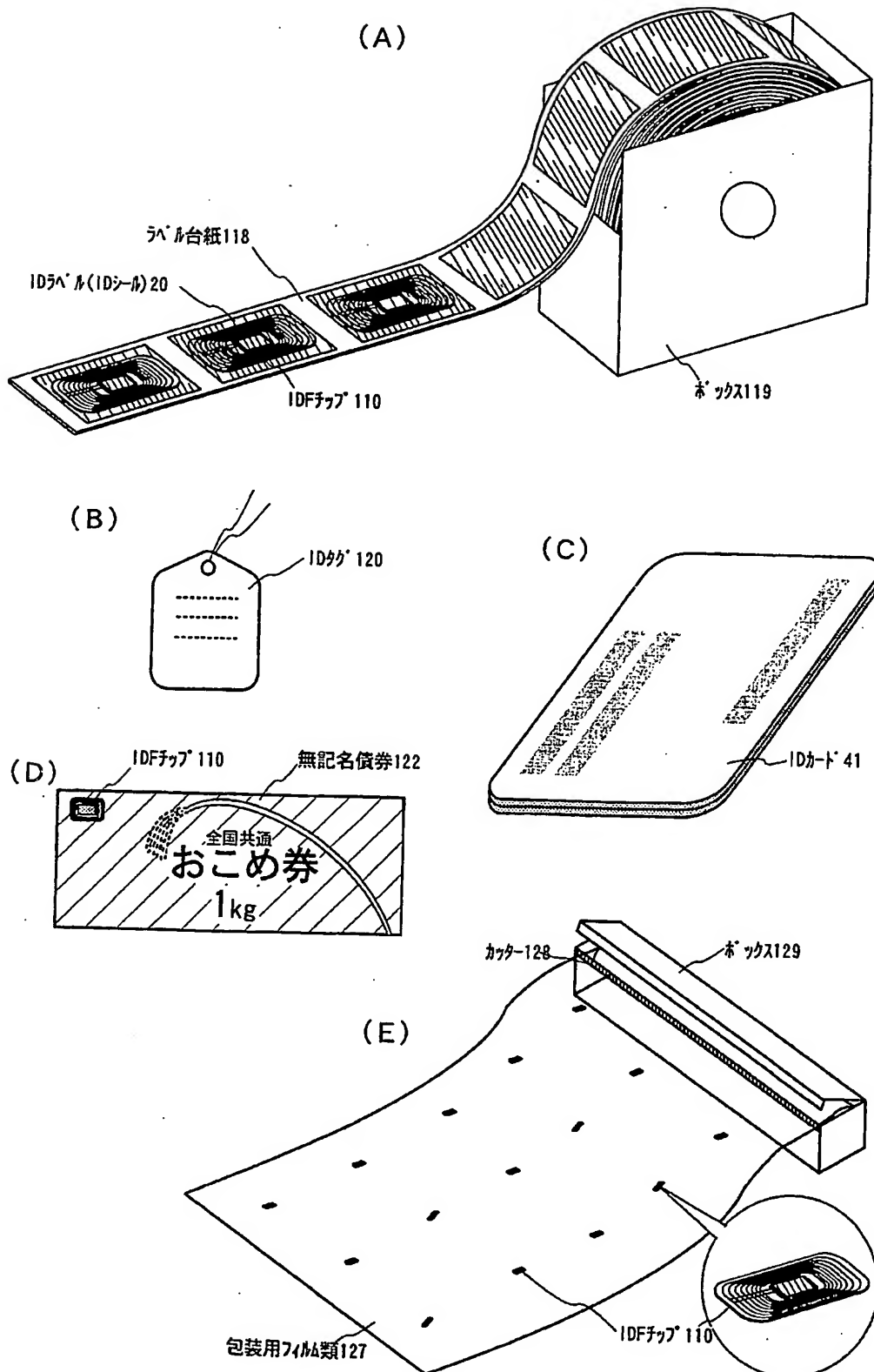
(B)



【図33】

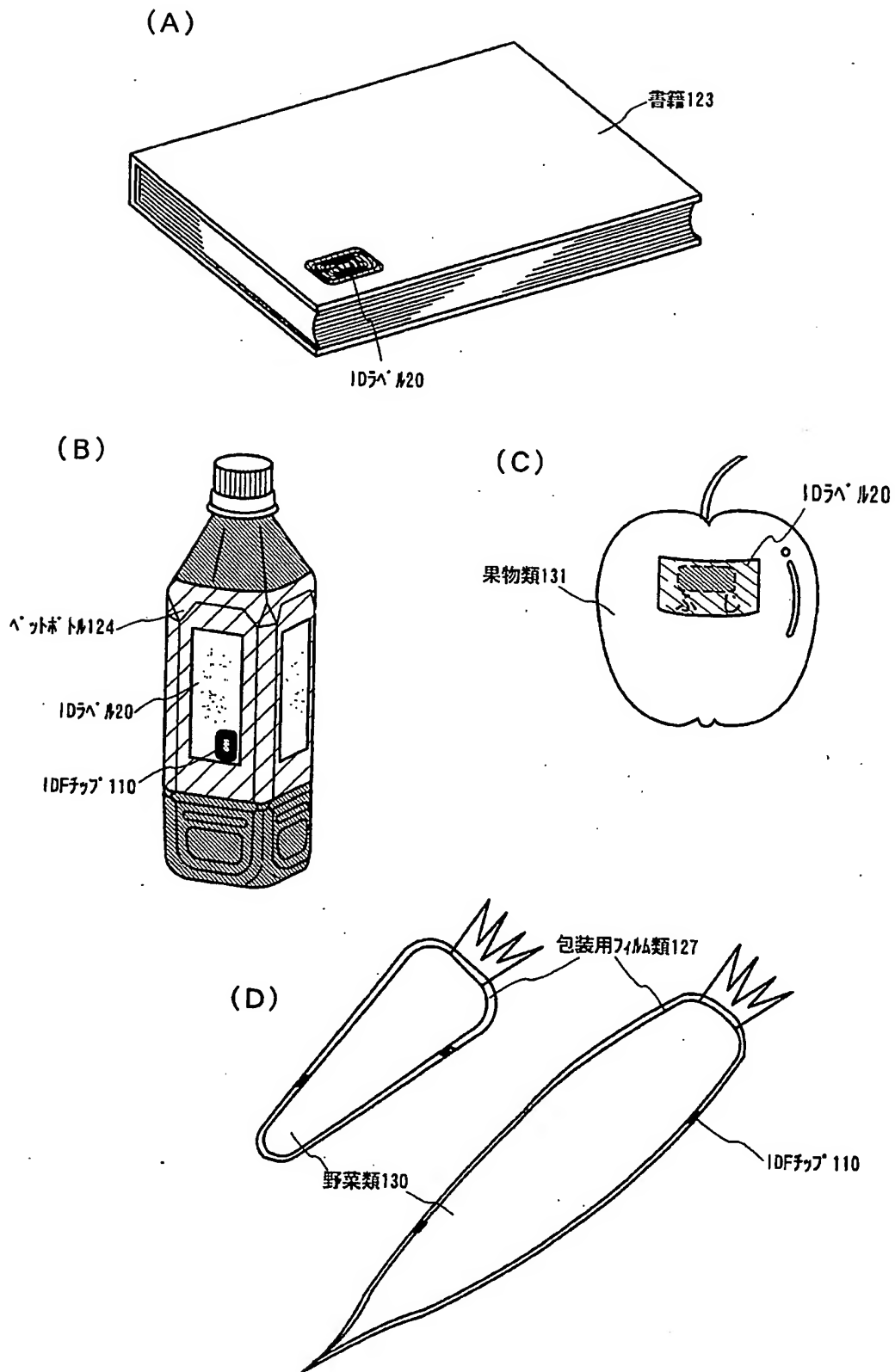


【図 34】



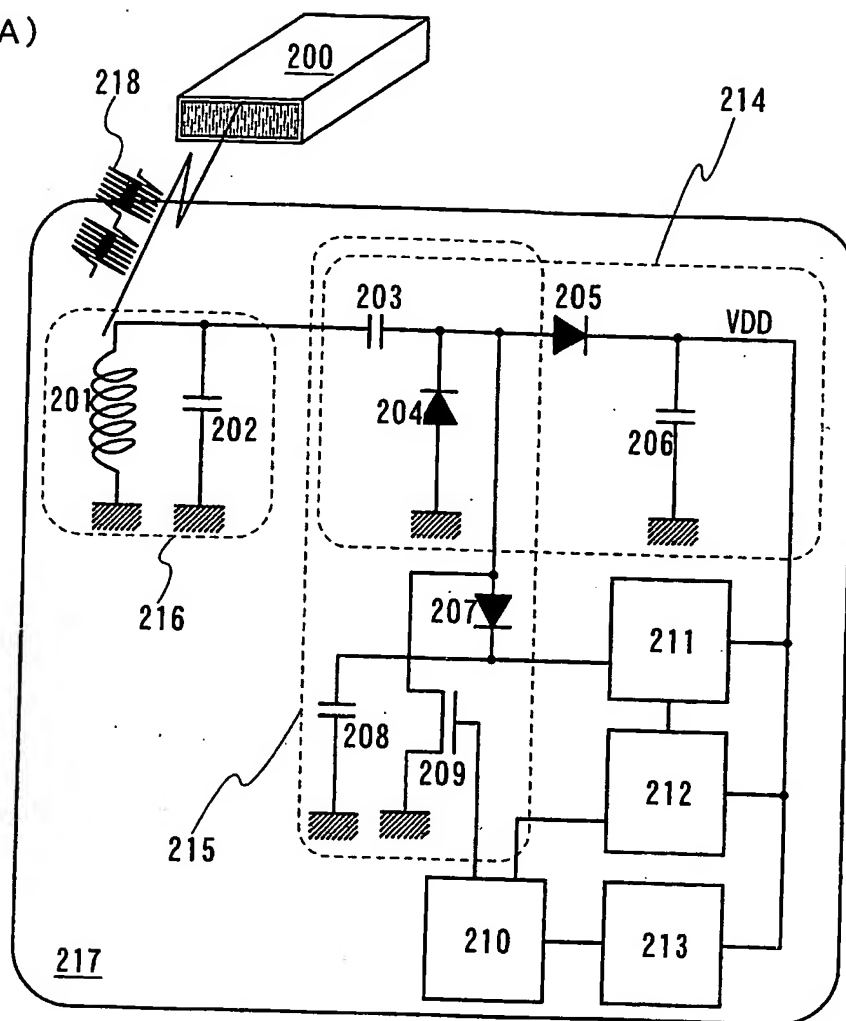


【図35】

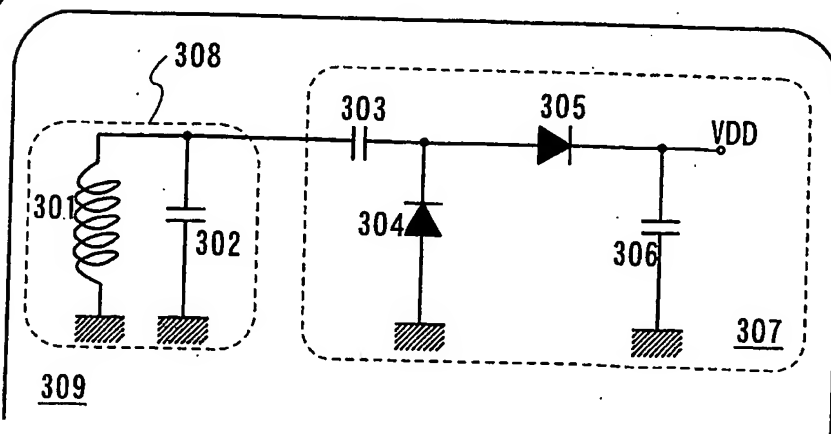


【図 36】

(A)



(B)



## 【書類名】要約書

## 【要約】

【課題】 非接触型のIDラベル、IDタグ等が普及するにつれて、莫大な数の商品等に利用可能なIDラベルを、大量に極めて低コストで製造する必要がある。例えば、商品等に付されるIDラベルは、1個当たり1円～数円、望ましくは1円を切るコストで製造する必要がある、低コストで大量生産が可能なIDラベルの構造、プロセスの実現が求められている。

【解決手段】 本発明に係るIDラベル、IDカード、IDタグが有する薄膜集積回路装置は、いずれも薄膜トランジスタ(TFT)のごとき薄膜能動素子を含んでいることを特徴としている。したがって、TFTを被剥離基板に形成した後、被剥離基板を剥離し、素子分離を行う等の方法により、低コストで大量にIDラベル等を作製することができる。

【選択図】 図1

特願 2004-015449

出願人履歴情報

識別番号

[000153878]

1. 変更年月日

1990年 8月17日

[変更理由]

新規登録

住所

神奈川県厚木市長谷398番地

氏名

株式会社半導体エネルギー研究所